



aurigin®

Document Summary

New
Search

Help

[Preview Claims](#)[Preview Full Text](#)[Preview Full Image](#)Email Link: **Document ID:** JP 07-092953 A2**Title:** VIDEO DISPLAY DEVICE**Assignee:** SEIKO EPSON CORP**Inventor:** TAKEUCHI KESATOSHI**US Class:****Int'l Class:** G09G 05/14 A; G09G 05/18 B; G09G 05/36 B; H04N 05/265 B; H04N 05/45 B; H04N 05/937 B**Issue Date:** 04/07/1995**Filing Date:** 09/27/1993**Abstract:**

PURPOSE: To display plural videos on one screen while superposing them according to video data stored in respective video memories without transferring video data among plural memories.

CONSTITUTION: Three storage control parts 71 to 73 output clock signals CLK1 to CLK3 synchronizing with three video signals RGB01 to 03 readout respectively from three video storage parts 61 to 63. A video signal switching part 82 selects one of three video signals and a clock signal switching part 84 selects one of three clock signals. A D/A converting part 86 D/A-converts the selected video signal with the selected clock signal. A video control signal generating part 80 switches respective video signals in one screen by supplying read-out permission signals HPIE1 to 3, VPIE1 to 3 to three storage control parts 71 to 73 respectively. Thus, videos expressed by video signals readout from three video storage parts 61 to 63 are displayed on one screen while being superposed.

(C)1995,JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-92953

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁶ 認別記号 庁内整理番号 F I 技術表示箇所
 G 0 9 G 5/14 Z 9471-5G
 5/18 C 9471-5G
 5/36 5 2 0 N 9471-5G
 7734-5C H 0 4 N 5/ 93 C
 審査請求 未請求 請求項の数 8 FD (全 36 頁) 最終頁に統く

(21)出願番号 特願平5-264251

(22) 出願日 平成5年(1993)9月27日

(71)出願人 000002369
セイコーエプソン株式会社

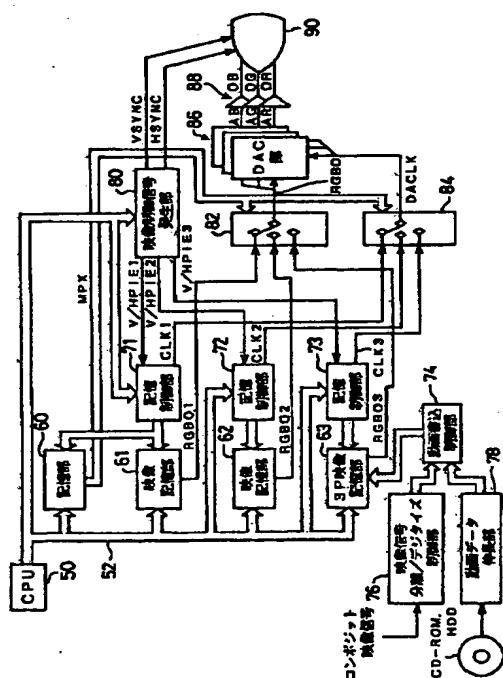
(72)発明者 竹内 啓佐敏
長野県諏訪市大和三丁目3番5号 セイコ
一エプソン株式会社内
(74)代理人 弁理士 下出 隆史 (外1名)

(54) 【発明の名称】 映像表示装置

(57) 【要約】

【目的】 複数のビデオメモリ間で映像データを転送することなく、各ビデオメモリに記憶された映像データに従って複数の映像を1つの画面に重ねて表示する。

【構成】 3つの記憶制御部71～73は、3つの映像記憶部61～63からそれぞれ読出される3つの映像信号RGB01～03に同期するクロック信号CLK1～3を出力する。映像信号切換部82は3つの映像信号の1つを選択し、クロック信号切換部84は3つのクロック信号の1つを選択する。D-A変換部86は、選択された映像信号を選択されたクロック信号でD-A変換する。映像制御信号発生部80は、映像信号の読出許可信号HPIE1～3、VPIE1～3を3つの記憶制御部71～73にそれぞれ供給して、各映像信号を1画面内で切換える。この結果、3つの映像記憶部61～63から読出された映像信号で表わされる映像が1つの画面内に重ねて表示される。



1

【特許請求の範囲】

【請求項 1】 1つの表示画面に複数の映像を重ねて表示する映像表示装置であって、

複数の映像信号をそれぞれ記憶する複数の映像メモリと、

前記複数の映像メモリから複数の映像信号をそれぞれ読み出すタイミングを示す複数の読み出許可信号を生成する映像制御信号発生手段と、

前記複数の読み出許可信号にそれぞれ応じて、前記複数の映像信号を読み出すための複数の読み出制御信号を前記複数の映像メモリにそれぞれ与えるとともに、前記複数の映像メモリから読み出された前記複数の映像信号にそれぞれ同期する複数のクロック信号を生成するメモリ制御手段と、

前記複数の映像信号の1つを、前記表示部の画面内の所定の複数の位置において切換えつつ選択するための映像選択信号を生成する選択信号生成手段と、

前記選択信号生成部から与えられた映像選択信号に応じて前記複数の映像信号の1つと前記複数のクロック信号の1つとを選択する選択手段と、

前記選択手段で選択された映像信号とクロック信号とに従って映像を表示する表示手段と、を備える映像表示装置。

【請求項 2】 請求項 1 記載の映像表示装置であって、前記選択信号生成手段は、

前記表示手段の画面上の所定の領域内に含まれる複数の画素のそれに対応する所定のビット数のメモリ領域を有し、前記複数の画素のそれについて前記複数の映像信号のいずれを選択するかを表わす映像選択データを記憶するメモリと、

前記メモリから前記映像選択データを前記映像選択信号として読み出すための選択データ読み出制御信号を、前記メモリに供給する制御信号供給手段と、を含む映像表示装置。

【請求項 3】 請求項 2 記載の映像表示装置であって、前記制御信号供給手段は、前記複数の読み出制御信号のうちの1つを前記選択データ読み出制御信号として前記メモリに転送する転送路である、映像表示装置。

【請求項 4】 請求項 1 記載の映像表示装置であって、前記表示手段は、前記選択手段で選択されたクロック信号に従って前記選択手段で選択されたデジタル映像信号をアナログ映像信号に変換するD-A変換器を含む、映像表示装置。

【請求項 5】 請求項 1 記載の映像表示装置であって、前記映像制御信号発生手段は、

前記表示手段の画面上の1本の走査線の走査期間に相当する第1の周期を有する第1の信号を生成する手段を含み、

前記メモリ制御手段は、

前記映像制御信号発生手段から与えられた前記第1の信

2

号に基づいて前記第1の周期のN1倍 (N1は整数) の周期を有する第1のクロック信号を生成する第1のPLL回路と、

前記複数の映像メモリの1つである第1の映像メモリの水平アドレスを生成する水平アドレス生成手段と、

前記第1の映像メモリの垂直アドレスを生成する垂直アドレス生成手段と、

前記水平アドレスと前記垂直アドレスとを加算することによって、前記第1の映像メモリに与えられるアドレスを生成する加算器と、を含むとともに、

前記水平アドレス生成手段は、前記第1のクロック信号のパルスに応じて前記水平アドレスを増加させる水平アドレス更新手段を含む、映像表示装置。

【請求項 6】 請求項 6 記載の映像表示装置であって、さらに、

算術論理演算が可能なプロセッサと、

前記プロセッサと前記複数の映像メモリとを接続するとともに、前記プロセッサと前記メモリ制御部とを接続するバスとを備え、

20 前記プロセッサは、前記第1のPLL回路における前記整数N1の値を変更することによって、前記第1の映像メモリから読み出される第1の映像信号によって前記表示手段に表示される第1の映像を水平方向に変倍する、映像表示装置。

【請求項 7】 請求項 6 記載の映像表示装置であって、前記映像制御信号発生手段は、

前記表示手段の1画面分の走査期間に相当する第2の周期を有する第2の信号を生成する手段を含み、

前記第1のメモリ制御手段は、さらに、

30 前記映像制御信号発生手段から与えられた前記第1の信号に基づいて、前記第1の映像メモリから読み出される第1の映像信号に関する走査線の終端に相当するタイミングを示す第1の走査線更新信号を生成する手段と、

前記第1および第2の信号のいずれか一方に基づいて、前記第2の周期のN2倍 (N2は整数) の周期を有する第2の走査線更新信号を生成する第2のPLL回路とを含み、

前記水平アドレス生成手段は、前記第1の走査線更新信号の1パルスに応じて前記水平アドレスを所定の初期値にリセットする手段を含み、

前記垂直アドレス生成手段は、前記第1の走査線更新信号の1パルスに応じて、前記第1の走査線更新信号の最新の2つのパルスの間に与えられた前記第2の走査線更新信号のパルス数と、前記表示手段における所定の数の走査線に相当するアドレスの差分とを乗算した結果に相当する垂直アドレス増分を、前記垂直アドレスに加算することによって前記垂直アドレスを更新する垂直アドレス更新手段を含む、映像表示装置。

【請求項 8】 請求項 7 記載の映像表示装置であって、前記プロセッサは、前記第2のPLL回路における前記

整数N2の値を変更することによって、前記第1の映像メモリから読出される第1の映像信号によって前記表示手段に表示される第1の映像を垂直方向に変倍する、映像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、複数の映像メモリに記憶された映像信号に基づいて複数の映像を同一の画面に表示する映像表示装置に関する。

【0002】

【従来の技術】図34は、従来の映像表示装置における映像の表示動作を示す説明図である。近年のパーソナルコンピュータでは、複数のOS(オペレーティング・システム)が稼働する場合がある。図34(A)は、第1のOSであるMS-WINDOWS(マイクロソフト社の商標)のウインドウの中に、第2のOSであるMS-DOS(マイクロソフト社の商標)による画面を表示した状態を示している。図34(B), (C)はこの場合の2つのOSのアドレス空間を示している。

【0003】

【発明が解決しようとする課題】従来は、第1のOSによるウインドウの1つに第2のOSの画面を表示するために、図34(B), (C)に矢印で示すように、第2のOSにおける表示用のビデオメモリ(VRAM)から第1のOSにおける表示用のビデオメモリ(AVRA)に映像データを転送する必要があった。映像データの転送はCPUが行なうので、CPUの処理時間のほとんどが第2のOSによる画面を表示する処理に使用されてしまい、CPUによる他の処理が極めて遅くなってしまうという問題があった。このような問題は、複数の表示用ビデオメモリを映像表示装置に設けた場合に共通する問題であった。

【0004】この発明は、従来技術における上述の課題を解決するためになされたものであり、複数のビデオメモリ間で映像データを転送することなく、各ビデオメモリに記憶された映像データに従って複数の映像を1つの画面に重ねて表示することのできる映像処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段および作用】上述の課題を解決するため、この発明の映像表示装置は、複数の映像信号をそれぞれ記憶する複数の映像メモリと、前記複数の映像メモリから複数の映像信号をそれぞれ読み出すタイミングを示す複数の読出許可信号を生成する映像制御信号発生手段と、前記複数の映像信号にそれぞれ応じて、前記複数の映像信号を読み出すための複数の読出制御信号を前記複数の映像メモリにそれぞれ与えるとともに、前記複数の映像メモリから読み出された前記複数の映像信号にそれぞれ同期する複数のクロック信号を生成するメモリ制御手段と、前記複数の映像信号の1つ

を、前記表示部の画面内の所定の複数の位置において切換えつつ選択するための映像選択信号を生成する選択信号生成手段と、前記選択信号生成部から与えられた映像選択信号に応じて前記複数の映像信号の1つと前記複数のクロック信号の1つとを選択する選択手段と、前記選択手段で選択された映像信号とクロック信号とに従って映像を表示する表示手段とを備える。

【0006】選択手段によって、複数の映像信号を選択するとともに、選択された映像信号に対応するクロック

10 信号を選択して表示手段に供給するので、複数の映像メモリ間で映像データを転送することなく、複数の映像メモリにそれぞれ記憶された映像データに従って複数の映像を1つの画面に重ねて表示することができる。

【0007】前記選択信号生成手段は、前記表示手段の画面上の所定の領域内に含まれる複数の画素のそれぞれに対応する所定のビット数のメモリ領域を有し、前記複数の画素のそれぞれについて前記複数の映像信号のいずれを選択するかを表わす映像選択データを記憶するメモリと、前記メモリから前記映像選択データを前記映像選択信号として読出すための選択データ読出制御信号を、前記メモリに供給する制御信号供給手段と、を含むよう

20 にすることが好ましい。

【0008】こうすれば、メモリに予め記憶した映像選択データを映像選択信号として読出すので、映像選択信号を容易に生成することができる。

【0009】前記制御信号供給手段は、前記複数の読出制御信号のうちの1つを前記選択データ読出制御信号として前記メモリに転送する転送路であってもよい。

【0010】選択データ読出制御信号はメモリ制御手段30 で生成されるので、選択データ読出制御信号を生成するための専用の回路が不要になり、回路構成が簡単になる。

【0011】前記表示手段は、前記選択手段で選択されたクロック信号に従って前記選択手段で選択されたデジタル映像信号をアナログ映像信号に変換するD-A変換器を含むようにしてもよい。

【0012】こうすれば、各映像信号にそれぞれ適したクロック信号でD-A変換を行なうので、映像を良好な画質で表示できる。

40 【0013】前記映像制御信号発生手段は、前記表示手段の画面上の1本の走査線の走査期間に相当する第1の周期を有する第1の信号を生成する手段を含むようにしてもよい。また、前記メモリ制御手段は、前記映像制御信号発生手段から与えられた前記第1の信号に基づいて前記第1の周期のN1倍(N1は整数)の周期を有する第1のクロック信号を生成する第1のPLL回路と、前記複数の映像メモリの1つである第1の映像メモリの水平アドレスを生成する水平アドレス生成手段と、前記第1の映像メモリの垂直アドレスを生成する垂直アドレス生成手段と、前記水平アドレスと前記垂直アドレスとを

5

加算することによって、前記第1の映像メモリに与えられるアドレスを生成する加算器と、を含むとともに、前記水平アドレス生成手段は、前記第1のクロック信号のパルスに応じて前記水平アドレスを増加させる水平アドレス更新手段を含むようにしてもよい。

【0014】第1のPLL回路に設定される整数N1の値を変更すれば、映像を水平方向に変倍することができる。

【0015】映像表示装置は、さらに、算術論理演算が可能なプロセッサと、前記プロセッサと前記複数の映像メモリとを接続するとともに、前記プロセッサと前記メモリ制御部とを接続するバスとを備え、前記プロセッサは、前記第1のPLL回路における前記整数N1の値を変更することによって、前記第1の映像メモリから読出される第1の映像信号によって前記表示手段に表示される第1の映像を水平方向に変倍するようにすることができる。

【0016】こうすれば、プロセッサによって整数N1の設定を変更することによって映像を水平方向に変倍することができる。

【0017】前記映像制御信号発生手段は、前記表示手段の1画面分の走査期間に相当する第2の周期を有する第2の信号を生成する手段を含むようにしてもよい。また、前記第1のメモリ制御手段は、さらに、前記映像制御信号発生手段から与えられた前記第1の信号に基づいて、前記第1の映像メモリから読出される第1の映像信号に関する走査線の終端に相当するタイミングを示す第1の走査線更新信号を生成する手段と、前記第1および第2の信号のいずれか一方に基づいて、前記第2の周期のN2倍(N2は整数)の周期を有する第2の走査線更新信号を生成する第2のPLL回路とを含み、前記水平アドレス生成手段は、前記第1の走査線更新信号の1パルスに応じて前記水平アドレスを所定の初期値にリセットする手段を含み、前記垂直アドレス生成手段は、前記第1の走査線更新信号の1パルスに応じて、前記第1の走査線更新信号の最新の2つのパルスの間に与えられた前記第2の走査線更新信号のパルス数と、前記表示手段における所定の数の走査線に相当するアドレスの差分とを乗算した結果に相当する垂直アドレス増分を、前記垂直アドレスに加算することによって前記垂直アドレスを更新する垂直アドレス更新手段を含むようにしてもよい。

【0018】第2のPLL回路に設定される整数N2の値を変更すれば、映像を垂直方向に変倍することができる。

【0019】前記プロセッサは、前記第2のPLL回路における前記整数N2の値を変更することによって、前記第1の映像メモリから読出される第1の映像信号によって、前記表示手段に表示される第1の映像を垂直方向に変倍するようにしてもよい。

6

【0020】こうすれば、プロセッサによって整数N2の設定を変更することによって映像を垂直方向に変倍することができる。

【0021】

【実施例】以下では、次の順序を説明を行なう。

A. 装置の全体構成と動作：

B. 映像制御信号発生部の構成と動作：

C. 記憶制御部と映像記憶部の構成と動作：

D. 映像の拡大縮小時の各種の設定値：

E. 動画書込制御部の構成と動作：

F. 3ポート映像記憶部の構成と動作：

G. 変形例：

【0022】A. 装置の全体構成と動作：図1は、この発明の一実施例としての映像表示装置を備えるコンピュータシステムの構成を示すブロック図である。CPU50に接続されたCPUバス52には、記憶部60と、映像記憶部61, 62と、3ポート映像記憶部63とが接続されている。3つの映像記憶部61, 62, 63には、映像信号をシリアルに読出すための制御信号が記憶制御部71, 72, 73からそれぞれ与えられる。第1の記憶制御部71は、更に、第1の映像記憶部61に与える制御信号と同じ制御信号を記憶部60にも供給している。この記憶部60は、3つの映像記憶部61～63から読み出された映像信号の1つを選択するためのマルチプレクス信号MPXを記憶するためのメモリである。なお、4つの記憶部60～63の構成と役割についてはさらに後述する。

【0023】3ポート映像記憶部63の読出ポートは第3の記憶制御部73に接続されており、また、第1の書き込みポートはCPUバス52に、第2の書き込みポートは

30 動画書込制御部74にそれぞれ接続されている。動画書込制御部74は、映像信号分離/デジタル化制御部76と動画データ伸長部78からそれぞれ動画の映像データが与えられる。映像信号分離/デジタル化制御部76は、テレビチューナやビデオプレーヤから与えられるコンポジット映像信号を同期信号とコンポーネント信号(RGB信号またはYUV信号)とに分離するとともに、コンポーネント信号をデジタル信号に変換して動画書込制御部74に供給する。一方、動画データ伸長部78は、CD-ROMやハードディスク、光磁気ディスクなどに収納された圧縮画像データを伸長して動画書込制御部74に供給する。動画書込制御部74は、供給された動画の映像データを3ポート映像記憶部63に書き込む。なお、動画書込制御部74の内部構成と動作については、さらに後述する。

【0024】このコンピュータシステムは、さらに、映像制御信号発生部80と、映像信号切換部82と、クロック信号切換部84と、D-A変換部86と、増幅部88と、カラーモニタ90とを備えている。映像制御信号発生部80は、映像信号の読出しのタイミングを指示す

るための映像制御信号VPIE1～3, HPIE1～3を生成して、3つの記憶制御部71～73に供給する。映像信号切換部82は、3つの映像記憶部61～63から読み出された映像信号RGB01～03の1つの選択してD-A変換部86に供給する。また、クロック信号切換部84は、3つの記憶制御部71～73から出力されるクロック信号CLK1～3の1つを選択し、D-A変換の同期信号としてD-A変換部86に供給する。映像信号切換部82とクロック信号切換部84に与えられるマルチプレクス信号MPXは、記憶部60から与えられている。

【0025】D-A変換部86は、RGBの各色ごとに8ビットが割り当てられた24ビットのデジタル信号RGB0をアナログ信号AR, AG, ABに変換する。これらのアナログ信号AR, AG, ABは、増幅部88においてそれぞれ増幅されてカラー モニタ90に与えられる。なお、カラー モニタ90の垂直同期信号VSYNCと水平同期信号HSYNCは映像制御信号発生部80から与えられる。

【0026】図2は、4つの記憶部60～63のメモリ空間と画面表示との関係を示す説明図である。各記憶部のサイズは、垂直方向のライン数Wvと、水平方向の画素数Whと、各画素に割り当てられたビット数Nbとで定義できる。記憶部60は、1600画素×1200ラインの画面に対応しており、2ビットの深さを有している。記憶部60に記憶されるマルチプレクスデータは、マルチプレクス信号MPXとして映像信号切換部82とクロック信号切換部84とに与えられる。従って、記憶部60の深さは、このコンピュータシステムに搭載できる映像記憶部の最大の個数を互いに識別できるビット数に設定される。図1の例では、映像記憶部が3つ設けられているので、記憶部60は2ビットの深さでよい。

【0027】図2(B)に示すように、第1の映像記憶部61は1600画素×1200ラインの画面に対応しており、24ビットの深さを有している。映像記憶部61に記憶される映像データは、フルカラー自然画像データである。なお、映像記憶部61としては、8ビットの深さのメモリを3枚用いてよい。

【0028】記憶部60と第1の映像記憶部61とは、同じ大きさの画面に対応する互いに等しいメモリ空間を有している。記憶制御部71(図1)は、記憶部60と映像記憶部61に同じ読み出し信号を供給しており、記憶部60と映像記憶部61からは、同じ表示位置に相当するマルチプレクス信号MPXと映像信号RGB01とがそれぞれ読み出される。

【0029】第2の映像記憶部62は、640画素×400ラインの画面に対応しており、24ビットの深さを有している。また、3ポート映像記憶部63は、800画素×600ラインの画面に対応しており、24ビットの深さを有している。なお、3つの映像記憶部61～6

3は同じ大きさの画面に対応していてもよい。記憶制御部71～73のそれぞれは、映像制御信号発生部80から与えられる読み出許可信号VPIE1～3, HPIE1～3に応じて映像記憶部61～63から映像信号RGB01～3をそれぞれ読み出す。

【0030】図3(A)は、3つの映像記憶部を利用する3つのOSに関するアドレスマップを示す説明図である。3つの映像記憶部はそれぞれ異なる3つのOS(マルチOS, OS1, OS2)によって管理されている。10マルチOSは、システムの管理を一時的に他のOSに切換える機能を有している。また、各OSは、映像記憶部61～63のメモリ領域をそれぞれ有している。図3(A)の①～④は、OSの切換えの手順を示している。まず、マルチOSからOS1への切換えを要する指示がキーボード40またはマウス42から入力されると、B IOSからマルチOSにその指示が与えられ(手順①)、マルチOSはシステムの管理をOS1に切換える(手順②)。OS1は、指示された処理を実行し、処理が終了すると再びマルチOSにシステムの管理を切換える(手順③)。そして、各映像記憶部61～63に記憶された映像は、BIOSを介してカラー モニタ90に表示される(手順④)。

【0031】図3(B)は、各映像記憶部61～63の映像がカラー モニタ90に表示された状態を示す平面図である。なお、複数のOSを使用せずに、1つのOSで2つの映像記憶部を管理することも可能である。例えば、3つの映像記憶部61～63を同じOSが管理することも可能である。

【0032】図4は、映像制御信号発生部80から出力される読み出許可信号VPIE1～3, HPIE1～3とカラー モニタ90における画面表示との関係を示す説明図である。図4の左上には、3つの映像記憶部61～61からそれぞれ読み出された3つの映像信号RGB01～RGB03に応じてカラー モニタ90に表示された3つの映像の表示領域W01, W02, W03を示している。

【0033】図4の下部には、X1～X2線上における信号波形が示されており、水平同期信号HSYNCと、映像制御信号発生部80から3つの記憶制御部71～73にそれぞれ与えられる水平読み出許可信号HPIE1～3と、記憶部60から読み出されるマルチプレクス信号の水平成分HMPXの波形が示されている。一方、図4の右側には、Y1～Y2線上における信号波形が示されており、垂直同期信号VSYNCと、映像制御信号発生部80から3つの記憶制御部71～73にそれぞれ与えられる垂直読み出許可信号VPIE1～3と、記憶部60から読み出されるマルチプレクス信号の垂直成分VMPXの波形が示されている。

【0034】第1の映像記憶部61に与えられる水平読み出許可信号HPIE1は、カラー モニタ90の左端位置

9

A～右端位置Fまでの表示領域においてHレベルに保たれている。また、垂直読出許可信号VPIE1も画面の垂直方向の全領域においてHレベルに保たれており。この結果、第1の映像信号RGB01は、これらの読出許可信号HPIE1, VPIE1がいずれもHレベルである期間において、第1の映像記憶部61から読み出される。同様に、第2の映像信号RGB02は、読出許可信号HPIE2, VPIE2がいずれもHレベルである期間において第2の映像記憶部62から読み出され、第3の映像信号RGB03は、読出許可信号HPIE3, VPIE3がいずれもHレベルである期間において、第3の映像記憶部63から読み出される。

【0035】映像信号切換部82は、記憶部60から出力されるマルチプレクス信号MPXに応じて、3つの映像信号RGB01～3の1つを選択して出力する。マルチプレクス信号MPXは、第1の映像信号RGB01と同様に、カラーモニタ90の走査に従って各画素におけるマルチプレクスデータの値を示す信号であるが、図4では図示の便宜上、水平成分HMPXの変化と垂直成分VMPXの変化とに分離して描いている。言い換えれば、実際のマルチプレクス信号MPXは、水平成分HMPXと同様な信号が走査線の順に連続している信号である。

【0036】図4のX1～X2線上において、マルチプレクス信号MPXの水平成分HMPXの値は1, 2, 3, 1の順に変化しており、これに応じて映像信号RGB01, RGB02, RGB03, RGB01がそれぞれ選択されている。

【0037】なお、記憶部60に記憶されるマルチプレクスデータは、カラーモニタ90の画面上において指定された各映像領域のサイズや位置等に応じてCPU50が決定する。すなわち、オペレータがキーボードやマウスを用いて、第2と第3の表示領域W02, W03のサイズと位置と上下関係とを指定すると、この指定に応じてCPU50がマルチプレクスデータを生成し、記憶部60に書き込む。なお、第1の表示領域W01に表示される映像は、基本的な映像であり、この表示領域W01は所定の大きさに固定されている。

【0038】図2(B), (C), (D)に示すような異なるサイズの映像を表示する際には、それぞれに適した互いに異なる同期信号(水平同期信号および垂直同期信号)が用いられるのが普通である。従って、各映像記憶部61～63から読み出された映像信号を重ねて同一画面上に表示するのは通常は不可能である。そこで、このコンピュータシステムでは、図1に示すように、各映像記憶部61～63から読み出される映像信号にそれぞれ同期するクロック信号CLK1, CLK2, CLK3を記憶制御部71, 72, 73からクロック信号切換部84に与え、クロック信号切換部84は、記憶部60から読み出されたマルチプレクス信号MPXに応じてこれ

10

らのクロック信号の1つを選択してD-A変換部86に供給している。従って、D-A変換部86は、映像信号切換部82から出力される映像信号に同期したクロック信号に従ってD-A変換を実行できる。このように、各映像記憶部61～63から読み出された映像信号は、それぞれに同期したクロック信号CLK1, CLK2, CLK3によってD-A変換されるので、D-A変換部86から出力されるアナログ映像信号AR, AG, ABは、映像を忠実に再現する信号となる。

【0039】以上のように、このコンピュータシステムでは、3つの映像記憶部61～63から読み出された映像信号RGB01～3の1つを映像信号切換部82で切換ながら映像を表示するので、CPU50が映像記憶部61～63の間で映像データを転送する処理を行なう必要がなく、複数の映像を重ねた状態で高速に表示することができる。この際、各映像信号に対応したクロック信号に従ってD-A変換を行なうので、異なる画面サイズに対応した複数の映像を忠実に再現することができる。

【0040】また、記憶部60と映像記憶部61のメモリ空間が同じ画面サイズに対応しているので、カラーモニタ90の画面上における各映像領域W01～3のサイズと位置と上下関係の指定に応じて、記憶部60に記憶するマルチプレクスデータを容易に設定できるという利点がある。

【0041】なお、3つの映像記憶部61～63を管理するOSがマルチウインドウシステムである場合には、各映像領域W01, W02, W03内にそれぞれのOSが複数のウインドウを重ねて表示することが可能である。

【0042】B. 映像制御信号発生部の構成と動作：図5は、映像制御信号発生部80の内部構成を示すブロック図である。また、図6は映像制御信号発生部80の水平方向の動作を示すタイミングチャート、図7は垂直方向の動作を示すタイミングチャートである。図5に示すように、映像制御信号発生部80は、カラーモニタ90に供給する水平同期信号H SYNCおよび垂直同期信号V SYNCと、3つの記憶制御部71～73にそれぞれ供給する水平読出許可信号HPIEおよび垂直読出許可信号VPIEとを生成する。映像制御信号発生部80は、次の構成要素を備えている。

【0043】DPLL部100：映像制御信号発生部80内の各部を同期させるためのドットクロック信号DTCLKを生成する。

【0044】水平同期期間カウンタ111：ドットクロック信号DTCLKに基づいて、図6(a)に示すように、水平同期期間HSにおいてLレベルとなる信号H1を生成する。ここで、水平同期期間HSとは、水平同期信号H SYNCがLレベルに保たれる期間である。なお、図5から解るように、カウンタ111の出力信号H

50

1はそのまま水平同期信号H SYNCとして映像制御信号発生部80の外部に出力されている。言い換えれば、カウンタ111は、水平同期信号H SYNCを作成する回路である。信号H1がLレベルとなる期間の長さを示すデータは、CPUバス52を介してCPU50から水平同期期間カウンタ111内の図示しないレジスタに書き込まれる。なお、期間の長さは、ドットクロック信号DTCLKのパルス数で表現される。期間の長さがCPU50によって設定されることは、以下に説明する各カウンタに共通である。信号H1が一旦Hレベルに立ち上がると、後述する水平リセットカウンタ115から与えられるリセット信号H5によって水平同期期間カウンタ111がリセットされるまでHレベルに保たれる。

【0045】水平バックボーチ期間カウンタ112：リセット信号H5でリセットされてLレベルに立下り、水平バックボーチ期間HBの終期でHレベルに立ち上がる信号H2(図6(b))を生成する。ここで、水平バックボーチ期間HBとは、水平同期信号H SYNCの立上がりから映像有効期間HEの始期までの期間である。

【0046】水平映像有効期間カウンタ113：リセット信号H5でリセットされてLレベルに立下り、水平映像有効期間HEの終期でHレベルに立ち上がる信号H3(図6(c))を生成する。

【0047】ところで、図5に示すように、ANDゲート116には信号H2と信号H3の反転信号とが入力されている。ANDゲート116の出力信号HYENBは、図6(h)に示すように、水平映像有効期間HEにおいてHレベルとなる信号である。以下では、信号HYENBを「水平有効イネーブル信号」とよぶ。カラーモニタ90には、水平有効イネーブル信号HYENBがHレベルの期間においてのみ有効な映像を表示することが可能である。なお、水平映像有効期間HEは、基本となる第1の映像領域W01に相当する期間であり、図4に示す映像領域W01の全範囲(位置A～位置Fの範囲)に相当する期間である。

【0048】水平フロントボーチ期間カウンタ114：リセット信号H5に応じてLレベルに立下り、水平フロントボーチ期間HFの終期でHレベルに立ち上がる信号H4(図6(d))を生成する。ここで、水平フロントボーチ期間HFとは、水平映像有効期間HEの終期から水平リセット期間HR(ドットクロック信号DTCLKの1クロック分の期間)の始期までの期間である。

【0049】水平リセット期間カウンタ115：上記のカウンタ111～114をリセットするリセット信号H5(図6(e))を生成する。信号H5は、水平フロントボーチ期間カウンタ114の出力信号H4が立ち上がった後の次のドットクロック信号DTCLKの立上がりでLレベルに立下り、1クロック後に再び立上る信号である。上述したように、カウンタ111～114は、信号H5の立下りによってリセットされて、信号H1～H4

がLレベルに立ち下がる。

【0050】以上のように、カウンタ111～115の働きによって水平同期信号H SYNCが生成されるとともに、水平方向の各期間が規定される。

【0051】映像制御信号発生部80は、垂直方向の期間を規定するカウンタとして、上述した各カウンタ111～115にそれぞれ対応するカウンタ121～125を有している。垂直方向の期間を規定するカウンタ121～125は、ドットクロック信号DTCLKの代わりに水平同期信号H SYNC(=H1)をクロック入力としていることの他は、水平方向の期間を規定するカウンタ111～115と同じである。これは、図7(a)～(e)に示すカウンタ121～125の出力信号V1～V5の波形を図6(a)～(e)に示す信号H1～H5の波形とを比較すれば理解できる。ただし、CPU50が水平方向のカウンタ111～114のそれぞれに設定する期間の長さと、垂直方向のカウンタ121～124のそれぞれに設定する期間の長さとは異なっている。

【0052】また、水平有効イネーブル信号HYENBを作成するANDゲート116に対応して、垂直有効イネーブル信号VYENB(図7(h))を作成するANDゲート126も設けられている。

【0053】映像制御信号発生部80は、さらに、3つの記憶制御部71～73に与える読出許可信号HPIE, VPIEをそれぞれ作成するための3つの許可信号生成回路131～133を備えている。許可信号生成回路131～133のそれぞれは、次の構成要素を備えている。

【0054】水平表示開始期間カウンタ134：水平有効イネーブル信号HYENB(図6(h))の立上がりでリセットが解除されて、水平表示領域期間の始期にHレベルに立ち上がる信号H6(図6(i))を生成し、水平有効イネーブル信号HYENBの立下りで再びリセットされる。ここで、水平表示領域期間とは、映像記憶部に記憶された映像データに応じて映像がカラーモニタ90に表示される期間を言う。図4において、映像領域W01の水平表示領域期間は位置A～位置Fの期間であり、また、映像領域W02の水平表示領域期間は位置B～位置Dの期間、映像領域W03の水平表示領域期間は位置C～位置Eの期間である。

【0055】水平表示領域期間カウンタ135：水平有効イネーブル信号HYENBの立上がりでリセットが解除されて、水平表示領域期間の終期にHレベルに立ち上がる信号H7(図6(j))を生成し、水平有効イネーブル信号HYENBの立下りで再びリセットされる。

【0056】ANDゲート136：信号H6と信号H7の反転信号との論理積をとることによって水平読出許可信号HPIE(図6(k))を生成する。

【0057】許可信号生成回路131～133は、さらに、垂直方向に関して、水平方向に関する上述の2つの

13

カウンタ134, 135とANDゲート136にそれぞれ対応する2つのカウンタ137, 138とANDゲート139を備えている。ANDゲート139からは、垂直読出許可信号VPIE(図7(k))が outputされる。なお、水平方向に関するカウンタ134, 135はドットクロック信号DTCLKをクロック入力とし、水平有効イネーブル信号HYENBをリセット入力としているのに対して、垂直方向に関するカウンタ137, 138は、水平同期信号H SYNC (=H1)をクロック入力とし、垂直有効イネーブル信号VYENBをリセット入力としている。

【0058】映像制御信号発生部80は、映像記憶部61～63の数と等しい数の許可信号生成回路131～133を備えている。すなわち、各映像記憶部61～63にそれぞれ対応する許可信号生成回路131～133によって、図4に示す各読出許可信号の組(HPIE1, VPIE1), (HPIE2, VPIE2), (HPIE3, VPIE3)がそれぞれ生成される。

【0059】なお、許可信号生成回路131～133内のカウンタ134, 135, 137, 138には、CPU50によってそれぞれの期間に規定するパルス数が設定されている。これらのパルス数は、カラーモニタ90の画面上においてオペレータが指定した各映像領域W01～W03(図4)のサイズと位置と上下関係に応じてCPU50が決定する。

【0060】以上説明したように、映像制御信号発生部80は、図4に示す水平同期信号H SYNCと、垂直同期信号V SYNCと、読出許可信号HPIE1～3と、VPIE1～3とを生成する。図1に示すように、水平同期信号H SYNCと垂直同期信号V SYNCはカラーモニタ90に供給され、許可信号HPIE1～3, VPIE1～3は記憶制御部71～73に供給される。

【0061】C. 記憶制御部と映像記憶部の構成と動作：ここでは、記憶制御部71, 72と映像記憶部61, 62の構成と動作について説明する。3ポート記憶制御部73と3ポート映像記憶部63の構成と動作については後述する。

【0062】図8は、記憶制御部71の内部構成を示すブロック図である。また、図9は、記憶制御部71の動作を示すタイミングチャートである。記憶制御部71は、H-PLL部141と、V-PLL部142と、3つの波形整形部143～145と、NANDゲート146と、インバータ147と、アドレス生成回路148とを備えている。

【0063】H-PLL部141は、水平読出許可信号HPIEの周波数のNh倍の周波数を有するクロック信号CLK(図9(h))を生成するPLL回路である。ここで、Nhは、水平読出許可信号HPIEの1周期に相当する画素数である。この画素数Nhは、図2

(B), (C), (D)に示す映像記憶部61～63の

14

水平方向の画素数Whとは異なる値に設定することができる。CPU50がH-PLL部141のNhの値を変更することにより、NhとWhの関係に応じて映像を水平方向に拡大したり縮小したりすることができる。このような映像の拡大・縮小機能についてはさらに後述する。なお、H-PLL部141では、水平読出許可信号HPIEの立上りエッジに同期してクロック信号CLKの位相をロックする。

【0064】V-PLL部142は、垂直読出許可信号VPIEの周波数のNv倍の周波数を有する信号VCLK(図9(b))を生成するPLL回路である。ここで、Nvは垂直読出許可信号VPIEの1周期に相当するライン数である。このライン数Nvも、図2(B), (C), (D)に示す映像記憶部61～63のライン数Wvとは異なる値に設定することができ、NvとWvの関係に応じて映像を垂直方向に拡大・縮小することができる。

【0065】図10は、波形整形部143, 144, 145の内部構成を示すブロック図である。各波形整形部は、2つのDフリップフロップ151, 152と、ANDゲート153とで構成されている。2つのDフリップフロップ151, 152のクロック入力端子には、H-PLL部141で生成されたクロック信号CLKが入力されている。波形整形部への入力信号は、第1のDフリップフロップ151のD入力端子に与えられている。第1のDフリップフロップ151の出力は、第2のDフリップフロップ152のD入力端子およびANDゲート153に与えられている。ANDゲート153には、さらに、第2のフリップフロップ152の反転出力が与えられている。

【0066】図11は、波形整形部の動作を示すタイミングチャートである。図8に示す3つの波形整形部143～145の入力信号は、それぞれVPIE, HPIE, /VCLKである。ここで、VCLKの前に付けた記号「/」は、信号VCLKがインバータ147で反転された信号であることを示している。図11から解るように、波形整形部143, 144, 145への入力信号VPIE, /VCLK, HPIEが立上りから1番目のクロック信号CLKの立下りでそれぞれの出力信号V CLR, INC, H CLRがHレベルに立上り、2番目の立下りエッジで出力信号がLレベルに立下る。

【0067】図8に示すように、3つの波形整形部143～145のクロック入力端子には、H-PLL部141で生成されたクロック信号CLKが共通に与えられている。第1の波形整形部143で生成される垂直リセット信号V CLRは、映像領域の1画面分の表示が終了するたびに1パルスの変化が発生する信号である。

【0068】第2の波形整形部144で生成される水平リセット信号H CLRは、走査線1本分の表示が終了するたびに1パルスの変化が発生する信号である。

【0069】第3の波形整形部145で生成される垂直インクリメント信号INCは、走査線1本分の映像データの読出しが終了するたびに1パルスの変化が発生する信号である。なお、水平リセット信号HCLRと垂直インクリメント信号INCは、映像の垂直方向の拡大・縮小を行なう際に重要な役割を有するが、これについては後述する。

【0070】NANDゲート146(図8)は、第2の波形整形部144の第1のDフリップフロップ151の出力Q151(図10)と、垂直許可信号VPIEとの論理積をとってリードイネーブル信号REを生成する。

【0071】なお、第1の記憶制御部61の出力信号VCLR, HCLR, INC, RE, CLKは、映像記憶部61と記憶部60とに共通に与えられる。

【0072】図1に示す3つの記憶制御部71～73は、それぞれ図8に示す同じ構成を有している。ただし、H-PLL部141に設定される画素数Nhの値と、V-PLL部142に設定されるライン数Nvの値とは、各記憶制御部によって互いに異なる。これについては、映像の拡大縮小処理の説明において詳述する。

【0073】図12は、2つの映像記憶部61の内部構成を示すブロック図である。映像記憶部61は、ランダム読出/書込制御部160と、シリアル読出制御部161と、メモリ162とを有している。この構成は記憶部60, 62も同様である。

【0074】ランダム読出/書込制御部160の入力は次の通りである。

ADBUS: CPUバス52のアドレス/データ共用バス。

AHLRW: アドレスの上位/下位の選択、および、データ読出/データ書込の選択を示す信号。

AEN: アドレスバスが有効であること示す信号。

DEN: データバスが有効であることを示す信号。

【0075】ランダム読出/書込制御部160の出力は次の通りである。

RADDRS: ランダムアドレス。

RDATA: ランダムデータ。

RWR: ランダム書込信号。

RRD: ランダム読出信号。

【0076】シリアル読出制御部161の入出力は次の通りである。

ADBUS: アドレスバス。

ADSEL: 4つのアドレスの1つを選択するアドレス選択信号。

AEN: アドレスバスADBUSが有効なことを示すアドレス有効信号。

VCLR: 映像領域の1回分の表示が終了するたびに1パルスの変化が発生する垂直リセット信号。

INC: 走査線1本分の映像データの読出しが終了するたびに1パルスの変化が発生する垂直インクリメント信

号。

HCLR: 走査線1本分の表示が終了するたびに1パルスの変化が発生する水平リセット信号。

CLK: クロック信号。

RE: リードイネーブル信号。

SADDRS: シリアルアドレス。

SRD: シリアル読出許可信号

【0077】図13は、図12に示すメモリ162の内部構成を示すブロック図である。メモリ162は、メモリセルアレイ165と、セレクタ166と、2つの3ステートバッファ部167, 168とを備えている。セレクタ166は、ランダム書込信号RWRに応じて、ランダムアドレスRADDRSとシリアルアドレスSADDRSの一方を、メモリセルアレイ165のアドレス入力端子に接続する。メモリセルアレイ165の出力端子からは、第1の3ステートバッファ部167を介してランダムデータRDATAが outputされる。第1の3ステートバッファ部167の制御端子にはランダム読出信号RRDが与えられている。メモリセルアレイ165の出力は、さらに、第2の3ステートバッファ部168から映像信号RGB01として出力され、映像信号切換部82(図1)に与えられている。第2の3ステートバッファ部168の制御入力端子にはシリアル読出制御部161から与えられるシリアルデータ読出許可信号SRDが与えられている。なお、動画を高速に表示するためには、スタティックRAMで構成されたメモリセルアレイ165を用いるのが好ましい。

【0078】図14は、図12に示すシリアル読出制御部161の内部構成を示すブロック図である。また、図15はシリアル読出制御部161の動作を示すタイミングチャートである。シリアル読出制御部161は、それぞれ8ビットの4つのアドレスレジスタ171～174と、デコーダ176とを備えている。デコーダ176は、2ビットのアドレス選択信号ADSELをデコードして4つのアドレスレジスタ171～174を1つずつ順次にイネーブル状態にする(図15(b))。アドレスバスADBUSから与えられたアドレスAH, AL, BH, BL(図15(a))は、アドレスレジスタ171～174に与えられるアドレス有効信号AENの立上りエッジで各レジスタに順次保持される。

【0079】図16は、メモリに対応する画面とアドレスとの関係を示す概念図である。アドレスAHALは、映像データによって表示される領域の左上の基準点Piを示すアドレス(以下、「始点アドレス」と呼ぶ)である。また、アドレスBHBLは、画面の走査線の長さに相当するアドレスの増加分(以下、「加算アドレス」と呼ぶ)である。なお、インターレースを行なう場合には、加算アドレスBHBLは、インターレースの割合に応じた値となる。例えば、2:1のインターレースを行なう場合には、加算アドレスBHBLは走査線の2倍の長さに相

17

当するアドレス増加分となる。

【0080】シリアル読出制御部161(図14)は、さらに、走査に応じてアドレスを演算する回路として、3つの加算器180, 182, 184と、2つのラッチ186, 188と、水平カウンタ190とを備えており、また、4つのANDゲート192, 194, 196, 198を備えている。これらのうちで、加算器180, 184と、ラッチ186, 188は、垂直方向のアドレスを算出する回路を構成している。また、水平カウンタ190は水平方向のアドレスを算出する回路を構成している。

【0081】加算器184は、2つのアドレスレジスタ173, 174に保持された16ビットの加算アドレスBHBLと、第1のラッチ186の出力D186とを加算する。第1のラッチ186は、第1のANDゲート192の出力信号の立上りエッジでリセットされ、また、第2のANDゲート194の出力信号の立上りエッジで加算器184の出力Q184を保持する。第1のANDゲート192は、垂直リセット信号VCLRとクロック信号CLKの論理積を取っているので、図15(j)に示すように、垂直リセット信号VCLRがHレベルに保たれている間に発生するクロック信号CLKの立上りエッジで第1のラッチ186がリセットされる。また、第2のANDゲート194は、垂直インクリメント信号INCとクロック信号CLKの論理積を取っているので、垂直インクリメント信号INCがHレベルに保たれている間に発生するクロック信号CLKの立上りエッジで第1のラッチ186が加算器184の出力Q184を保持する。

【0082】第1のラッチ186の出力Q186は、加算器184にフィードバックされているので、第1のラッチ186が新たなデータを保持するたびに、すなわち、垂直インクリメント信号INCのパルスが発生するたびに、加算器184の出力Q184が加算アドレスBHBLだけ増加する(図15(i))。

【0083】第2のラッチ188は、第1のANDゲート192の出力信号の立上りエッジでリセットされ、また、第3のANDゲート196の出力信号の立上りエッジで第1のラッチ186の出力Q186を保持する。第3のANDゲート196は、水平リセット信号HCLRとクロック信号CLKの論理積を取っているので、図15(k)に示すように、水平リセット信号HCLRがHレベルに保たれている間に発生するクロック信号CLKの立上りエッジで第2のラッチ188が第1のラッチ186の出力Q186を保持する。

【0084】第1の加算器180は、第2のラッチ188の出力Q188と、2つのアドレスレジスタ171, 172に保持された始点アドレスAHALとを加算する。第1の加算器180の出力Q180は、垂直方向のアドレスに相当する。

18

【0085】水平カウンタ190は、第3のANDゲート196の出力信号の立上りエッジでリセットされ、また、第4のANDゲート198の出力信号の立上りエッジでカウントアップを実行する。第4のANDゲート198は、リードイネーブル信号REの反転信号とクロック信号CLKの論理積を取っているので、図15(1)に示すように、リードイネーブル信号REがHレベルに保たれている間に発生するクロック信号CLKの立上りエッジに応じて、水平カウンタ190がカウントアップを実行する。なお、水平カウンタ190のカウント値Q190は、水平方向のアドレスに相当する。

【0086】第2の加算器182は、第1の加算器180の出力Q180と、水平カウンタ190のカウント値とを加算する。加算器182の出力Q182は、始点アドレスAHALと、ラッチ188の出力Q188(図15(k))と、水平カウンタ190のカウント値Q190(図15(1))とを加算した結果に等しい。この加算器182の出力182は、シリアルアドレスSADDRSとしてメモリ162に与えられる。シリアルアドレスSADDRSは、図15(m)に示すように、始点アドレスAHALと加算アドレスBHBLとの和の値になった後に、クロック信号CLKの立上りエッジに同期して1つずつインクリメントされる。従って、このシリアルアドレスSADDRSに応じてメモリ162からRGB成分を含む映像データRGB01がシリアルに読み出される。

【0087】シリアル読出制御部161(図14)はさらに、Dフリップフロップ199を備えている。Dフリップフロップ199のD入力端子にはリードイネーブル信号REが与えられており、クロック入力端子にはクロック信号CLKが与えられている。Dフリップフロップ199の出力は、シリアルデータ読出許可信号SRD(図15(o))である。シリアルデータ読出許可信号SRDは、リードイネーブル信号REがLレベルに立下った後の次のクロック信号CLKの立下りでLレベルに立下る。図13に示すように、シリアルデータ読出許可信号SRDは、3ステートバッファ168の制御端子に与えられているので、信号SRDがLレベルに立下った状態においてのみメモリ162から映像データRGB01が読出される。すなわち、図15(m), (n)に示すように、アドレスSADDRSの値は(AHAL+BHBL)で示される位置(図16(A)に示すアドレス基準点Piの直下の画素位置)を示しており、この位置から映像データの読出しが開始される。従って、アドレス基準点Piの画像は表示されない。

【0088】なお、クロック信号CLKはH-PLL部141(図8)によって作成されており、水平読出許可信号HPIEの立上りエッジでクロック信号CLKの立下りエッジの位相がロックされている(図9)。一般に、PLL回路による位相のロックは完全ではないの

で、クロック信号CLKの位相には多少のズレ(ジッタ)が生じる場合がある。しかし、図15に示すように、クロック信号CLKの立上りエッジで映像データのシリアルな読み出しが制御されているので、クロック信号CLKにジッタが生じてもデータの読み出しに問題が生じることはない。

【0089】図17は、映像の垂直方向拡大時のシリアル読み出制御部161の動作を示すタイミングチャートである。ただし、図17では、図15に示す信号のうちで、垂直方向のアドレスの更新に関する主要な信号の変化のみを示している。加算器184の出力Q184は、垂直インクリメント信号INCが1パルス発生するたびにBHBLだけ増加する。一方、ラッチ186の出力Q186は、水平リセット信号HCLRが1パルス発生するたびにBHBLだけ増加する。時刻t1では、水平リセット信号HCLRの最新の2パルスの間に垂直インクリメント信号INCのパルスが発生していないので、ラッチ188の出力Q188の値はそのまま保たれている。このように、垂直インクリメント信号INCの周期Tvが水平リセット信号HCLRの周期Tv0よりも大きな場合には、ラッチ188の出力Q188(すなわち垂直アドレスの値)は、図17(f)に示すように、同じ値が繰り返される場合を含むように変化する。水平リセット信号HCLRは、カラーモニタ90に与える水平同期信号H SYNCと同じ周波数を有する信号であり、画面上の走査線が更新されるたびに1パルス発生する信号である。図17(f)に示すようにラッチ188の出力Q188が変化すると、図16(B)に示すように、メモリに記憶された同じ走査線上的映像が、カラーモニタ90の画面において繰り返し表示され、この結果、映像が垂直方向に拡大される。

【0090】なお、映像がカラーモニタ90に表示される際の垂直方向の倍率は、水平リセット信号HCLRの周期Tv0と垂直インクリメント信号INCの周期Tvとの比(Tv/Tv0)で与えられる。垂直インクリメント信号INCの周期Tvは、V-PLL部142(図8)の設定値Nvを変更することによって調整される。

【0091】図18は、映像の垂直方向縮小時のシリアル読み出制御部161の動作を示すタイミングチャートである。時刻t2では、水平リセット信号HCLRの最新の2パルスの間に垂直インクリメント信号INCのパルスが2つ発生しているので、ラッチ188の出力Q188に加算アドレスBHBLの2倍の値が加算されている。このように、垂直インクリメント信号INCの周期Tvが水平リセット信号HCLRの周期Tv0よりも小さな場合には、ラッチ188の出力Q188は、図18(f)のように、加算アドレスBHBLに整数倍の値のいくつか(図18の例ではBHBL×4)をスキップするように変化する。この結果、図16(C)に示すように、メモリに記憶された何本かの走査線上的映像が、カラーモニタ

90の画面において表示されず、映像が垂直方向に縮小される。

【0092】図17と図18に示すように、シリアル読み出制御部161は、水平リセット信号HCLRが1パルス与えられると、水平リセット信号HCLRの最新の2つのパルスの間に与えられた垂直インクリメント信号INCのパルス数と、加算アドレスBHBLとを乗算した結果に相当する値が、ラッチ188の出力Q188(すなわち垂直アドレス)に加算される。従って、図17の時刻t1の場合のように、水平リセット信号HCLRの最新の2パルスの間に垂直インクリメント信号INCのパルスが1つも発生していない場合には、垂直アドレスQ188はそのままの値に保たれる。一方、図18の時刻t2のように、水平リセット信号HCLRの最新の2パルスの間に垂直インクリメント信号INCのパルスが2つ発生している場合には、加算アドレスBHBLの2倍の値が垂直アドレスQ188に加算される。

【0093】なお、映像を垂直方向に縮小する場合の倍率も、拡大する場合の倍率と同様に、水平リセット信号HCLRの周期Tv0と垂直インクリメント信号INCの周期Tvとの比(Tv/Tv0)で与えられる。

【0094】D. 映像の拡大縮小時の各種の設定値：このコンピュータシステムでは、映像を拡大・縮小できるほかに、各映像領域W01～W03(図4)の位置やサイズを変更することが可能である。なお、映像の拡大・縮小は記憶制御部71～73(図1、図8)のH-PLL部141とV-PLL部142およびシリアル読み出制御部161(図14)の働きによって実現され、映像領域の位置やサイズの変更は各映像領域に対応する許可信号生成回路131～133(図5)の働きによって実現される。

【0095】図19は、第1の映像記憶部61に記憶された映像のみを表示した場合の記憶制御部71(図8)と許可信号生成回路(図5)の各種の設定値を示す説明図である。

【0096】図19(A)において、映像領域W01に関する信号の水平方向の期間は、図6においても説明したように、水平同期期間HSと、水平バックボーチ期間HBと、水平映像有効期間HEと、水平フロントボーチ期間HFと、水平リセット期間HRとに区分されている。第1の記憶制御部71のH-PLL部141(図8)の設定値Nh0は、これらの期間を画素数で表わした値の合計値(HS+HB+HE+HF+HR)に等しい。なお、第1の映像領域W01の水平映像有効期間HEは1600画素である。H-PLL部141で作成されるクロック信号CLKの1パルスは、図15のタイミングチャートからも解るように、シリアルに映像信号を読み出す際の1画素に相当する。このクロック信号CLKの周波数f_{h0}は、基本の映像領域W01に対する水平読み出許可信号HPIE1の周波数、すなわち、映像制御

21

信号発生部 80 からカラー モニタ 90 に与えられる水平同期信号 HSYNC の周波数に、H-PLL 部 141 の設定値 Nh0 を乗じた値に等しい。この実施例では、 $f_{h0} = 100 \text{ MHz}$ である。

【0097】第1の記憶制御部 71 の V-PLL 部 142 の設定値 Nv0 は、垂直同期期間 VS と、垂直バックボーチ期間 VB と、垂直映像有効期間 VE と、垂直フロントボーチ期間 VF と、垂直リセット期間 VR とをそれぞれライン数で表わした値の合計値 (VS + VB + VE + VF + VR) に等しい。なお、第1の映像領域 W01 の垂直映像有効期間 VE は 1200 ラインである。V-PLL 部 142 で生成される垂直インクリメント信号 INC の周波数 fv0 は、基本の映像領域 W01 の垂直読出許可信号 VPIE1 の周波数、すなわち、映像制御信号発生部 80 からカラー モニタ 90 に与えられる垂直同期信号 VSYNC の周波数に、V-PLL 部 142 の設定値 Nv0 を乗じた値に等しい。この実施例では、 $f_{v0} = 80 \text{ KHz}$ である。

【0098】第1の許可信号生成回路 131 (図5) に含まれる4つのカウンタ 134, 135, 137, 138 の設定値は、第1の映像領域 W01 の位置とサイズを規定するために使用される。水平表示開始期間カウンタ 134 の設定値 Kh1 と、垂直表示開始期間カウンタ 137 の設定値 Kv1 の値は、基本となる第1の映像領域 W01 に関してはゼロである。

【0099】水平表示領域期間カウンタ 135 の設定値 Kh2 は、水平映像有効期間 HE をドットクロック信号 DCLK (図5) のパルス数で表わした値である。ドットクロック信号 DCLK の周波数は、基本となる第1の映像領域 W01 に対する水平方向のクロック信号 CLK1 (図8、図15) と同じ周波数 (= 100 MHz) に設定されることが好ましい。ドットクロック信号 DCLK の周波数とクロック信号 CLK1 の周波数が等しい場合には、カウンタ 135 の設定値 Kh2 は水平映像有効期間 HE の画素数 (= 1600) に等しい。

【0100】垂直表示領域期間カウンタ 138 の設定値 Kv2 は、垂直映像有効期間 VE を水平同期信号 HSYNC のパルス数で表わした値である。前述したように、水平同期信号 HSYNC の周波数は、基本の映像領域 W01 に対する垂直インクリメント信号 INC1 (図8、図15) と同じ周波数 (= 80 KHz) を有しているので、カウンタ 138 の設定値 Kv2 は垂直映像有効期間 VE のライン数 (= 1200) に等しい。

【0101】図20は、第1の映像領域 W01 の中に第2の映像記憶部 61 に記憶された映像を表示した場合の各種の設定値を示す説明図である。この例では、第2の映像記憶部 62 に記憶された映像が拡大・縮小されておらず、また、その画面の全部が表示されている。

【0102】なお、第1の映像記憶部 61 の映像についても、映像の拡大・縮小や、映像領域の位置およびサイ

22

ズの変更を行なうことが可能であるが、この実施例においては、第1の映像記憶部 61 の映像についてはこれらの処理を行なわないものとする。従って、第1の映像記憶部 61 の映像に対する各種の設定値は、図19に示す値が保たれる。

【0103】第2の映像記憶部 62 の映像については、CPU50 が以下の式1に従って各種の設定値を算出するとともに、算出した値を各回路に設定する。

【数1】

$$\begin{aligned}
 10 \quad Nh &= \text{INT}(Nh0/Mh) \\
 f_h &= f_{h0}/Mh \\
 Nv &= \text{INT}(Nv0/Mv) \\
 f_v &= f_{v0}/Mv \\
 Kh1 &= \Delta HST \\
 Kh2 &= Lh \\
 Kv1 &= \Delta VST \\
 Kv2 &= Lv
 \end{aligned}$$

20 ここで、演算子「INT」は括弧内の演算結果の小数部を切り捨てて整数部をとる演算を示す。また、Mh は映像の水平方向の倍率、Mv は映像の垂直方向の倍率、 ΔHST と ΔVST は基本となる映像領域 W01 の有効映像領域の左上にある原点 O1 から第2の映像領域 W02 の左上の端点 O2 までの水平方向と垂直方向のオフセット、Lh と Lv は第2の映像領域 W02 の水平方向と垂直方向の幅をそれぞれ示す。

【0104】第2の映像記憶部 62 の映像に関して映像の拡大・縮小がない場合には、倍率 Mh, Mv の値が共に 1 なので、第2の記憶制御部 72 の H-PLL 部 141 における設定値 Nh と V-PLL 部 142 における設定値 Nv は第1の記憶制御部 71 におけるこれらの設定値と等しい。図20の例では、第2の映像領域 W02 の画面の全部を表示しているので、第2の許可信号生成回路 132 における水平表示領域期間カウンタ 135 の設定値 Kh2 と、垂直表示領域期間カウンタ 138 の設定値 Kv2 は、第2の映像領域 W02 の最大領域を示す 640 画素と 400 ラインにそれぞれ設定されている。

【0105】図21は、第2の映像記憶部 62 の映像を拡大・縮小せずに、その画面の一部のみを表示する場合の各種の設定値を示す説明図である。画面の一部のみを表示する場合には、その画面の水平方向の幅 Lh と垂直方向の幅 Lv とがカウンタ 135, 138 にそれぞれ設定され、図21 (B) に示す他の設定値は標準の値のままである。なお、図21の例ではさらに、始点アドレス AHAL が $(640 \times 5 + 10)$ に設定されている。640 は 1 走査線分の画素数であり、図16 (A) に示す加算アドレス BHBL に相当する。従って、図21における始点アドレス AHAL の値は、アドレス基準点 Pi (図16 (A)) を 5 ライン目の 10 画素目に設定している。

23

ことを示している。アドレス基準点 P_i は、映像メモリから映像データを読出す際の基準点である。従って、始点アドレスAHALの値を変更することによって、映像メモリ内の任意の領域に記憶された映像データを読出すことが可能である。

【0106】図22は、第2の映像記憶部62の映像を水平方向に拡大して、その画面の全部を表示する場合における各種の設定値を示す説明図である。この場合には、記憶制御部72のH-PLL部141の設定値 N_h は、その標準値 N_h0 を水平倍率 M_h で割った値に設定される。また、許可信号生成回路132の水平表示領域期間カウンタ135の設定値 K_h2 は、その標準値($=640$)に水平倍率 M_h ($960/640$)を乗じた値($=960$)に設定される。

【0107】なお、水平倍率 M_h の値はキーボードを用いて入力することができる。あるいは、マウスを用いて第2の映像領域W02のサイズをオペレータが変更する操作に応じてCPU50が水平倍率 M_h を算出しても良い。後者の場合には、第2の映像領域W02の水平方向の幅 L_h を標準の幅(第2の映像については640画素)で割ることによって水平倍率 M_h を求める。

【0108】水平方向の倍率 M_h を変更すると第2の記憶制御部72の水平方向のクロック信号CLK2の周波数 f_h が変化する。クロック信号CLK2の1パルスは第2の映像領域W02の1画素に相当するので、水平倍率 M_h を変更すると1画素に相当するクロック信号CLK2の周期が変化する。このクロック信号CLK2は、図15に示されるように、映像記憶部61からの映像信号の読み出しの同期クロックとして使用され、また、D-A変換部86の同期クロック信号DACLKとしても使用される。すなわち、水平方向に映像を拡大した場合には、映像記憶部62から読み出された映像信号の周波数に応じてクロック信号CLK2の周波数も変化するので、このクロック信号CLK2に同期して映像信号をD-A変換することによって、良好な画質で映像を表示することができる。

【0109】なお、水平倍率 M_h としては1以下の値を設定することによって、映像を水平方向に縮小することも可能である。水平方向に関しては拡大時の動作と縮小時の動作に差異は無い。

【0110】図23は、第2の映像領域W02内の映像が垂直方向に拡大されて、その画面の全部が表示されている場合における各種の設定値を示す説明図である。第2の記憶制御部72のV-PLL部142の設定値 N_v は、その標準値 N_v0 を垂直倍率 M_v ($=600/400$)で割った値に設定される。また、第2の許可信号生成回路132の垂直表示領域期間カウンタ138の設定値 K_v2 は、その標準値($=400$)に垂直倍率 M_v を乗じた値($=600$)に設定される。なお、垂直倍率 M_v も、上述した水平倍率 M_h の設定方法と同様な方法で設

24

定される。映像が垂直方向に拡大される場合には、上記の図17のタイミングチャートに従ってシリアル読出制御部161が拡大動作を行なう。

【0111】図24は、第2の映像領域W02の映像が垂直方向に縮小されて、その画面の全部が表示されている場合における各種の設定値を示す説明図である。垂直方向の縮小の場合も拡大の場合と同様に、V-PLL部142の設定値 N_v は、その標準値 N_v0 を垂直倍率 M_v ($=286/400$)で割った値に設定される。また、

10 垂直表示領域期間カウンタ138の設定値 K_v2 は、その標準値($=400$)に垂直倍率 M_v を乗じた値($=286$)に設定される。映像が垂直方向に縮小される場合には、上記の図18のタイミングチャートに従ってシリアル読出制御部161が縮小動作を行なう。

【0112】以上説明したように、H-PLL部141とV-PLL部142(図8)およびシリアル読出制御部161(図14)の働きによって映像の拡大・縮小が実現され、許可信号生成回路131~133(図5)の働きによって映像領域の位置やサイズの変更は実現される。

20 【0113】なお、以上では、第2の映像記憶部62の映像に関する映像の拡大・縮小の処理や、第2の映像領域W02のサイズの変更の処理を説明したが、他の2つの映像記憶部61, 63の映像についても同じ処理を行なうことが可能である。また、映像の水平倍率 M_h と、映像の垂直倍率 M_v と、映像領域のオフセット $\triangle H_{ST}$, $\triangle V_{ST}$ と、映像領域のサイズ L_h , L_v (すなわち K_h2 , K_v2)と、始点アドレスAHALとは、それぞれ独立に設定することが可能である。

30 【0114】E. 動画書込制御部の構成と動作: 図25は、動画書込制御部74の内部構成を示すブロック図である。動画書込制御部74の信号および構成要素は、以下に示すように、図5に示す映像制御信号発生部80のいくつかの構成要素と図8に示す記憶制御部71の構成要素に対応している。

【0115】図25と図5の構成要素の対応関係は、以下の通りである。

DRH-PLL部200: DPLL部100

垂直映像開始位置カウンタ201: 垂直バックボーチ期間カウンタ122

垂直映像領域期間カウンタ202: 垂直映像有効期間カウンタ123

ANDゲート203: ANDゲート126

水平映像開始位置カウンタ211: 水平バックボーチ期間カウンタ112

水平映像領域期間カウンタ212: 水平映像有効期間カウンタ113

ANDゲート213: ANDゲート116

50 垂直書込開始カウンタ222: 垂直表示開始期間カウンタ137

25

垂直書込領域カウンタ 223：垂直表示領域期間カウンタ 138

ANDゲート 224：ANDゲート 139

水平書込開始カウンタ 232：水平表示開始期間カウンタ 134

水平書込領域カウンタ 233：水平表示領域期間カウンタ 135

ANDゲート 224：ANDゲート 136

【0116】図25と図8の構成要素の対応関係は、以下の通りである。

DV-PLL部 221：V-PLL部 142

DH-PLL部 231：H-PLL部 141

波形整形部 241～243：波形整形部 143～145

NANDゲート 244：NANDゲート 146

インバータ 251：インバータ 147

【0117】図25の制御クロック切換部 250は、図5および図8の回路には無い回路である。また、動画書込制御部 74は、図8に示されているアドレス生成回路 148と同じ回路を有しているが、図25では図示の便宜上省略されている。

【0118】動画書込制御部 74は、映像信号分離/デジタイズ制御部 76（図1）から与えられる垂直同期信号 DV SYNC と水平同期信号 DH SYNC とに同期して映像の表示期間を制御する。図26および図27は、動画書込制御部 74 の水平方向および垂直方向の動作をそれぞれ示すタイミングチャートである。図26と図27は、前述した図6と図7にそれぞれ対応しているので、ここではその説明を省略する。

【0119】制御クロック切換部 250は、ライトイネーブル信号 WE0（これは、図8におけるリードイネーブル信号 RE に対応する）のレベルが 1（書込禁止）の時には DRH-PLL 部 200 が生成する第1のクロック信号 DR CLK を選択し、ライトイネーブル信号 WE0 のレベルが 0（書込許可）の時には DH-PLL 部 231 が生成する第2のクロック信号 DD CLK を選択する。第1のクロック信号 DR CLK の 1 パルスは基本的な第1の映像領域 W01 の 1 画素に対応している。また、第2のクロック信号 DD CLK の 1 パルスは、映像を水平方向に拡大・縮小した場合の 1 画素に対応しており、映像記憶部 63 に書込まれる映像信号に同期する信号である。すなわち、制御クロック切換部 250 は、映像信号を映像記憶部 63 に書込む時には書込まれる映像信号に同期した第2のクロック信号 DD CLK を第3の映像記憶部 63 に供給し、一方、映像信号の書き込みを行なわない時には基本的な映像に同期した第1のクロック信号 DR CLK を第3の映像記憶部 63 に供給している。

【0120】動画書込制御部 74 は、映像記憶部 63 へ映像信号の書き込みに使用される各種の信号 VCLW0, HCLW0, INC0, WEO, CKL0 を生成し、映

26

像記憶部 63 に与えている。これらの信号は、図8における信号 VCLR, HCLR, INC, RE, CLK にそれぞれ対応するので説明を省略する。

【0121】F. 3 ポート映像記憶部の構成と動作：図28は、3ポート映像記憶部 63 の内部構成を示すブロック図である。3ポート映像記憶部 63 は、シリアル書込制御部 260 と、ランダム読出/書込制御部 261 と、シリアル読出制御部 262 と、3ポートメモリ 263 とを有している。ランダム読出/書込制御部 261 は図12に示すランダム読出/書込制御部 160 と同じ構成を有しており、また、シリアル読出制御部 262 はシリアル読出制御部 161 と同じ構成を有している。

【0122】図29は、3ポートメモリ 263 の内部構成を示すブロック図である。3ポートメモリ 263 は、メモリセルアレイ 165 と、2つのセレクタ 272, 273 と、ANDゲート 274 と、2つの3ステートバッファ部 275, 276 を備えている。第1のセレクタ 272 は、図13に示すセレクタ 166 と同じ機能を有しており、2つの3ステートバッファ 275, 276 も図13の3ステートバッファ 167, 168 と同じ機能を有している。

【0123】第2のセレクタ 273 は、ランダム書込信号 RWR に応じて、ランダムデータ RDATA とシリアルデータ RGBI0 の一方を選択してメモリセルアレイ 271 に供給する。ANDゲート 274 は、シリアル書込制御部 260 から与えられるシリアルデータ書込許可信号 SWE0 とランダム読出/書込制御部 261 から与えられるランダム書込信号 RWR の少なくとも一方が L レベルの時にはメモリセルアレイ 271 の書き込みをイネーブルにする。

【0124】図30は、シリアル書込制御部 260 の内部構成を示すブロック図である。シリアル書込制御部 260 の構成要素 281～284, 286, 290, 292, 294, 296, 298, 300, 302, 304, 306, 308 は、図14に示すシリアル読出制御部 161 の各構成要素 171～174, 176, 1800, 182, 184, 186, 188, 190, 192, 194, 196, 198 とそれぞれ同じものである。シリアル読出制御部 161 とシリアル書込制御部 260 の違いは、シリアル読出制御部 161 では D フリップフロップ 199 の出力がそのままシリアルデータ読出許可信号 S RD として出力されているのに対して、シリアル書込制御部 260 では、D フリップフロップ 309 の反転出力が ANDゲート 308 に与えられ、ANDゲート 308 の出力が書込許可信号 SWE0 として出力されている点だけである。

【0125】図31はシリアル書込制御部 260 の動作を示すタイミングチャートである。この動作は、図15に示すシリアル読出制御部 161 の動作とほぼ同じなので説明を省略する。シリアル書込制御部 260 は、映像

の垂直方向の縮小と、水平方向の拡大・縮小を行ないつつ、映像データを3ポートメモリ263の任意のメモリ領域に書き込むことが可能である。

【0126】G. 変形例：なお、この発明は上記実施例に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0127】(1) 図1に示す映像信号切換部82としてセレクタ(マルチプレクサ)を使用する代わりに、図32に示すように、3つの3ステートバッファを用いて映像信号切換部82aを構成してもよい。この場合には、マルチプレクス信号MPXをデコードした信号DMPXを用いて3つの3ステートバッファの1つだけをイネーブル状態にすればよい。

【0128】(2) 図8に示すV-PLL部142の代わりに、図33に示すように、PLL回路148と分周器149とを用いても良い。PLL回路148には、水平読出許可信号HPIEが入力され、また、その設定値Nは、図8に示すV-PLL部142の設定値Nvに分周器149の分周率1/Mを乗じた値に等しい。ここで、Mは1画面の総ライン数である。PLL回路148に入力されている水平読出許可信号HPIEは、図8に示すV-PLL部142に入力されている垂直読出許可信号VPIEよりも周波数が高いので、その出力信号VCLKのジッタを低減することができる。

【0129】(3) 図22に示すように第2の映像記憶部62から読出される映像を水平方向に拡大・縮小する場合には、第2の記憶制御部72から出力されるクロック信号CLK2が、基本のクロック信号CLK1の周波数f_{h0}とは異なる周波数f_hを有する。これは、第3の映像記憶部63から出力されるクロック信号CLK3についても同様である。しかし、映像を水平方向に拡大・縮小しなければ、3つのクロック信号CLK1～CLK3は互いに等しい周波数を有している。従って、映像を水平方向に拡大・縮小する必要がなければ、第1のクロック信号CLK1を、第2と第3の映像記憶部62, 63から読出された映像信号にも使用ことができる。この場合には、図1の回路においてクロック信号切換部84を省略し、第1のクロック信号CLK1を直接D-A変換部86に供給するようにすればよい。

【0130】(4) 図1の例では、アナログ映像信号に従ってカラーモニタ90に映像を表示していたが、デジタル映像信号に従って映像を表示できる表示装置を用いることもできる。この場合には、D-A変換部86と増幅部88とを省略し、映像信号切換部82で選択されたデジタル映像信号RGB0とクロック信号切換部84で選択されたクロック信号DACKをデジタル映像表示装置に直接供給すればよい。

【0131】(5) 本願発明におけるメモリ制御手段は、映像記憶部61～63にそれぞれ含まれるシリアル

読出制御部(図12、図28)と、3つの記憶制御部71～73(図8)との組み合わせによって実現されている。なお、映像記憶部61～63の読出制御部や書込制御部は、映像記憶部61～63を実現するメモリチップ内の回路として設けておいてもよく、また、記憶制御部71～73と同じ回路内に設けるようにしてもよい。

【0132】(6) 本願発明における選択信号出力手段は記憶部60によって実現されており、マルチプレクス信号MPX(図1)が本願発明における映像選択信号に相当する。しかし、マルチプレクス信号MPXを出力する手段としては、記憶部60以外の種々の回路を採用することも可能である。例えば、図4に示されている3つの映像領域W01～W03のそれぞれの4頂点の位置を記憶しておき、これらの頂点位置に基づいて各走査線ごとに切換位置A～Fを算出し、これによってマルチプレクス信号MPXを生成する回路を採用することも可能である。また、マルチプレクスデータを各走査線毎のランレングスデータとしてメモリに記憶しておき、このランレングスデータに基づいてマルチプレクス信号MPXを生成するようにすることも可能である。これらの変形例では、マルチプレクスデータに要するメモリ量を低減することができる。

【0133】(7) 上記実施例では、記憶制御部71が生成した各種の信号を記憶部60にも供給することによってマルチプレクス信号MPXの読出しを行なっているが、記憶部60専用の制御部を設けるようにしてもよい。しかし、上記実施例のように、記憶制御部71が生成した信号を記憶部60にも与えるようにすれば、回路全体の構成部品を低減することができるという利点がある。

【0134】

【発明の効果】以上説明したように、請求項1に記載された発明によれば、複数の映像メモリ間で映像データを転送することなく、複数の映像メモリにそれぞれ記憶された映像データに従って複数の映像を1つの画面に重ねて表示することができるという効果がある。

【0135】また、請求項2に記載された発明によれば、メモリに映像選択データを記憶しておき、この映像選択データを映像選択信号として読出するので、映像選択信号を容易に生成することができるという効果がある。

【0136】請求項3に記載された発明によれば、選択データ読出制御信号を生成するための専用の回路が不要になり、回路構成が簡単になるという効果がある。

【0137】請求項4に記載された発明によれば、各映像信号にそれぞれ適したクロック信号でD-A変換を行なうので、映像を良好な画質で表示できるという効果がある。

【0138】請求項5に記載された発明によれば、第1のPLL回路に設定される整数N1の値を変更することによって、映像を水平方向に変倍することができるとい

う効果がある。

【0139】請求項6に記載された発明によれば、プロセッサが整数N1の設定を変更することによって、映像を水平方向に変倍することができるという効果がある。

【0140】請求項7に記載された発明によれば、第2のPLL回路に設定される整数N2の値を変更することによって、映像を垂直方向に変倍することができるという効果がある。

【0141】請求項8に記載された発明によれば、プロセッサが整数N2の設定を変更することによって、映像を垂直方向に変倍することができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例としての映像表示装置を備えるコンピュータシステムの構成を示すブロック図。

【図2】記憶部60～63のメモリ空間と画面表示との関係を示す説明図。

【図3】3つの映像記憶部を利用するOSのアドレスマップを示す説明図。

【図4】映像制御信号発生部80から出力される読み出許可信号VPIE, HPIEとカラーモニタ90における画面表示との関係を示す説明図。

【図5】映像制御信号発生部80の内部構成を示すブロック図。

【図6】映像制御信号発生部80の水平方向のタイミングチャート。

【図7】映像制御信号発生部80の垂直方向のタイミングチャート。

【図8】記憶制御部71の内部構成を示すブロック図。

【図9】記憶制御部71の動作を示すタイミングチャート。

【図10】波形整形部143～145の構成を示すブロック図。

【図11】波形整形部の動作を示すタイミングチャート。

【図12】記憶部61の内部構成を示すブロック図。

【図13】メモリ162の内部構成を示すブロック図。

【図14】シリアル読み出制御部161の内部構成を示すブロック図。

【図15】シリアル読み出制御部161の動作を示すタイミングチャート。

【図16】メモリに対応する画面とアドレスとの関係を示す概念図。

【図17】映像の垂直方向拡大時のシリアル読み出制御部161の動作を示すタイミングチャート。

【図18】映像の垂直方向縮小時のシリアル読み出制御部161の動作を示すタイミングチャート。

【図19】第1の映像のみを表示した場合の記憶制御部71と許可信号生成回路131の各種の設定値を示す説明図。

【図20】第2の映像の拡大・縮小が無く、その画面の

50

全部が表示されている場合における各種の設定値を示す説明図。

【図21】第2の映像の拡大・縮小が無く、その画面の一部のみが表示されている場合における各種の設定値を示す説明図。

【図22】第2の映像が水平方向に拡大されて、その画面の全部が表示されている場合における各種の設定値を示す説明図。

【図23】第2の映像が垂直方向に拡大されて、その画面の全部が表示されている場合における各種の設定値を示す説明図。

【図24】第2の映像が垂直方向に縮小されて、その画面の全部が表示されている場合における各種の設定値を示す説明図。

【図25】動画書き制御部74の内部構成を示すブロック図。

【図26】動画書き制御部74の水平方向の動作を示すタイミングチャート。

【図27】動画書き制御部74の垂直方向の動作を示すタイミングチャート。

【図28】3ポート映像記憶部63の内部構成を示すブロック図。

【図29】3ポートメモリ263の内部構成を示すブロック図。

【図30】シリアル書き制御部260の内部構成を示すブロック図。

【図31】シリアル書き制御部260の動作を示すタイミングチャート。

【図32】映像信号切換部の他の構成を示すブロック図。

【図33】V-PLL部の他の構成を示すブロック図。

【図34】従来の映像表示装置における表示動作を示す説明図。

【符号の説明】

40 40…キーボード

42…マウス

50…CPU

52…CPUバス

60…記憶部

40 61～63…映像記憶部

71～73…記憶制御部

74…動画書き制御部

76…映像信号分離/デジタイズ制御部

78…動画データ伸長部

80…映像制御信号発生部

82, 82a…映像信号切換部

84…クロック信号切換部

86…D-A変換部

88…増幅部

90…カラーモニタ

31

1 0 0 … D P L L 部
 1 1 1 … 水平同期期間カウンタ
 1 1 2 … 水平バックポーチ期間カウンタ
 1 1 3 … 水平映像有効期間カウンタ
 1 1 4 … 水平フロントポーチ期間カウンタ
 1 1 5 … 水平リセットカウンタ
 1 1 6 … ANDゲート
 1 2 1 … 垂直同期期間カウンタ
 1 2 2 … 垂直バックポーチ期間カウンタ
 1 2 3 … 垂直映像有効期間カウンタ
 1 2 4 … 垂直フロントポーチ期間カウンタ
 1 2 5 … 垂直リセットカウンタ
 1 2 6 … ANDゲート
 1 3 1 ~ 1 3 3 … 許可信号生成回路
 1 3 4 … 水平表示開始期間カウンタ
 1 3 5 … 水平表示領域期間カウンタ
 1 3 6 … ANDゲート
 1 3 7 … 垂直表示開始期間カウンタ
 1 3 8 … 垂直表示領域期間カウンタ
 1 3 9 … ANDゲート
 1 4 1 … H-PLL部
 1 4 2 … V-PLL部
 1 4 3 ~ 1 4 5 … 波形整形部
 1 4 6 … NANDゲート
 1 4 7 … インバータ
 1 4 8 … アドレス生成回路
 1 5 1, 1 5 2 … Dフリップフロップ
 1 5 3 … ANDゲート
 1 6 0 … ランダム読出／書込制御部
 1 6 1 … シリアル読出制御部
 1 6 2 … メモリ
 1 6 5 … メモリセルアレイ
 1 6 6 … セレクタ
 1 6 7, 1 6 8 … 3ステートバッファ
 1 7 1 ~ 1 7 4 … アドレスレジスタ
 1 7 6 … デコーダ
 1 8 0, 1 8 2, 1 8 4 … 加算器
 1 8 6, 1 8 8 … ラッチ
 1 9 0 … 水平カウンタ
 1 9 2, 1 9 4, 1 9 6, 1 9 8 … ANDゲート
 1 9 9 … Dフリップフロップ
 2 0 0 … DRH-PLL部
 2 0 1 … 垂直映像開始位置カウンタ
 2 0 2 … 垂直映像領域期間カウンタ
 2 0 3 … ANDゲート
 2 1 1 … 水平映像開始位置カウンタ
 2 1 2 … 水平映像領域期間カウンタ
 2 1 3 … ANDゲート
 2 2 1 … DV-PLL部
 2 2 2 … 垂直書込開始カウンタ

32

2 2 3 … 垂直書込領域カウンタ
 2 2 4 … ANDゲート
 2 3 1 … DH-PLL部
 2 3 2 … 水平書込開始カウンタ
 2 3 3 … 水平書込領域カウンタ
 2 4 1 ~ 2 4 3 … 波形整形部
 2 4 4 … NANDゲート
 2 5 0 … 制御クロック切換部
 2 6 0 … シリアル書込制御部
 10 2 6 1 … ランダム読出／書込制御部
 2 6 2 … シリアル読出制御部
 2 7 1 … メモリセルアレイ
 2 7 2, 2 7 3 … セレクタ
 2 7 4 … ANDゲート
 2 7 5, 2 7 6 … 3ステートバッファ
 3 2 0 … PLL回路
 3 2 1 … 分周器
 AHAL … 始点アドレス
 ADBUS … アドレスバス
 20 ADSEL … アドレス選択信号
 AEN … アドレス有効信号
 AR, AG, AB … アナログ映像信号
 BHBL … 加算アドレス
 CLK1 ~ CLK3 … クロック信号
 DACLK … クロック信号
 DDCLK … クロック信号
 DHSYNC … 水平同期信号
 DRCLK … クロック信号
 DTCLK … ドットクロック信号
 30 DVSYNC … 垂直同期信号
 HB … 水平バックポーチ期間
 HCLR … 水平リセット信号
 HE … 水平映像有効期間
 HF … 水平フロントポーチ期間
 HPIE, HPIE1 ~ HPIE3 … 垂直読出許可信号
 HR … 水平リセット期間
 HS … 水平同期期間
 HSYNC … 水平同期信号
 HYENB … 水平有効イネーブル信号
 40 INC … 垂直インクリメント信号
 Mh … 水平倍率
 Mv … 垂直倍率
 MPX … マルチブレクス信号
 Pi … アドレス基準点
 RADDRS … ランダムアドレス
 RDATA … ランダムデータ
 RE … リードイネーブル信号
 RGB01 ~ 03, RGB10 … 映像信号
 RRD … ランダム読出信号
 50 RWR … ランダム書込信号

33

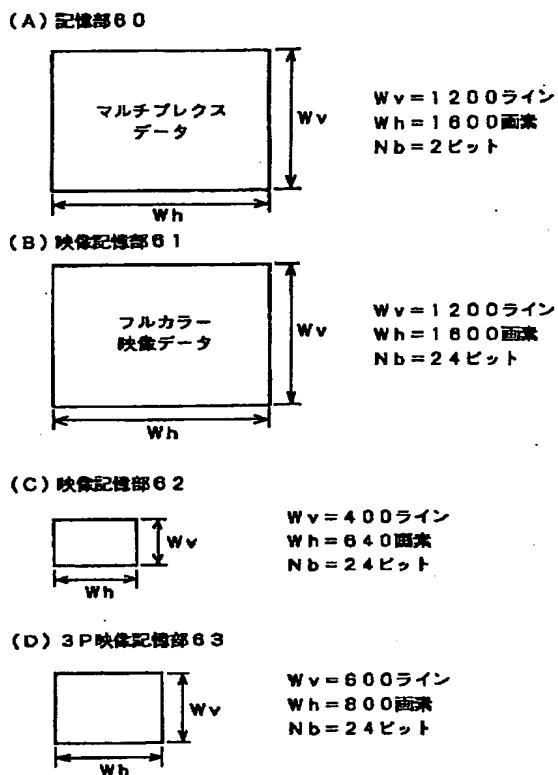
S A D D R S …シリアルアドレス
 S R D …シリアル読出許可信号
 S W E 0 …書込許可信号
 V B …垂直バックポーチ期間
 V C L K …クロック信号
 V C L R …垂直リセット信号
 V E …垂直映像有効期間
 V F …垂直フロントポーチ期間

34

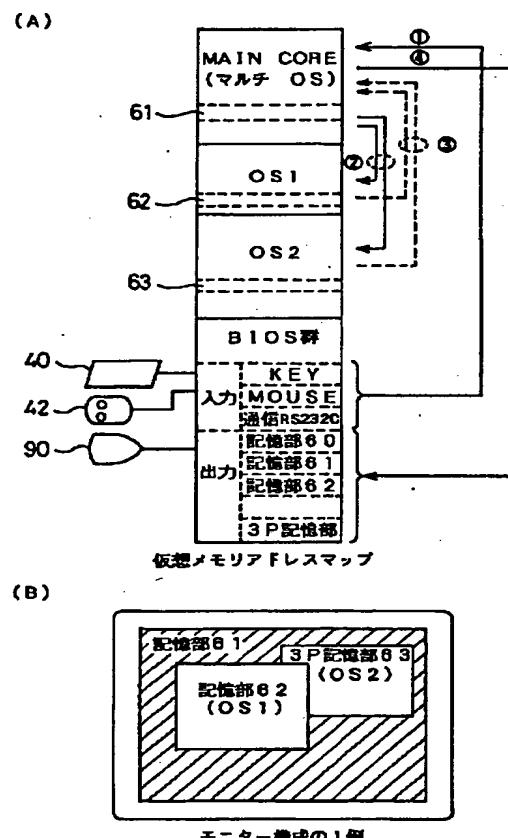
* V P I E, V P I E 1 ~ V P I E 3 …水平読出許可信号
 V R …垂直リセット期間
 V S …垂直同期期間
 V S Y N C …垂直同期信号
 V Y E N B …垂直有効イネーブル信号
 W 0 1 ~ W 0 3 …映像領域
 W E 0 …ライトイネーブル信号

*

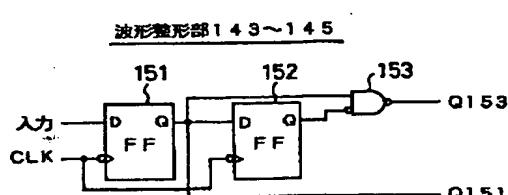
【図 2】



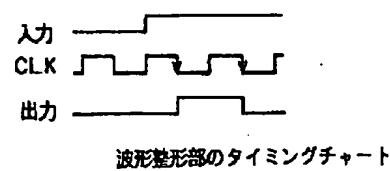
【図 3】



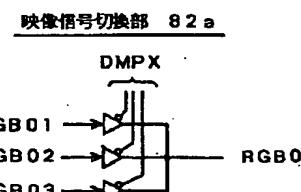
【図 10】



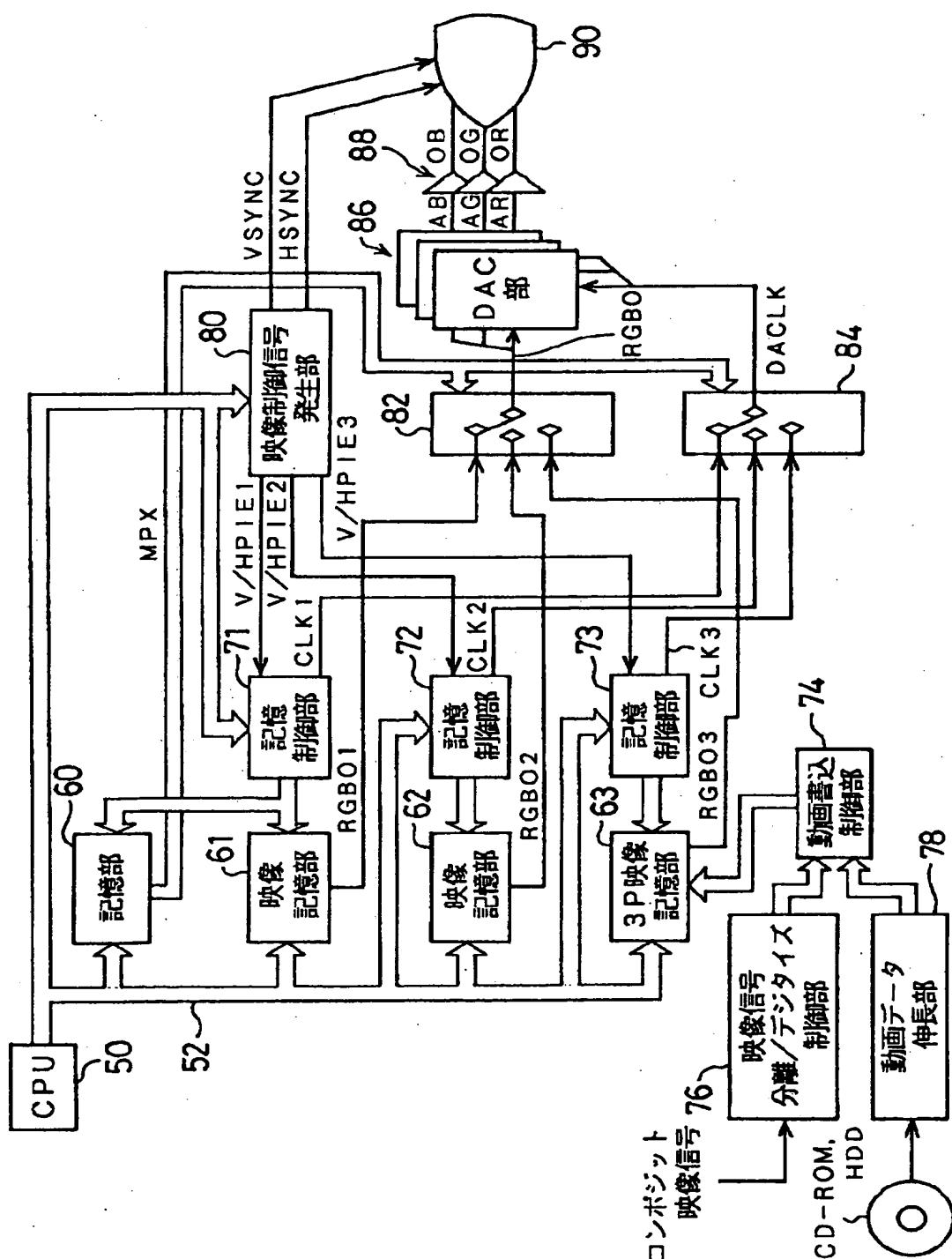
【図 11】



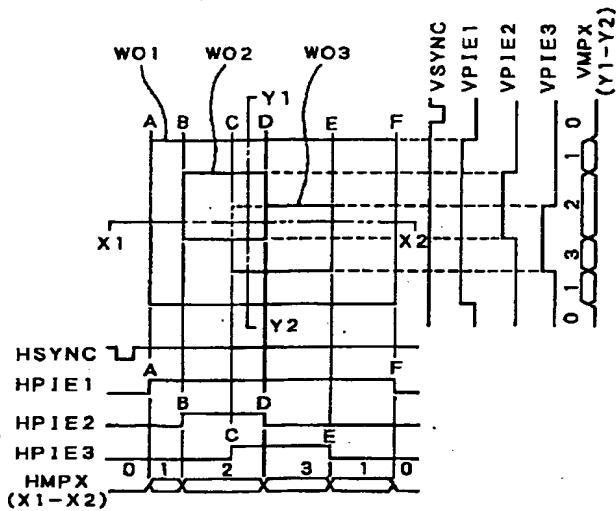
【図 32】



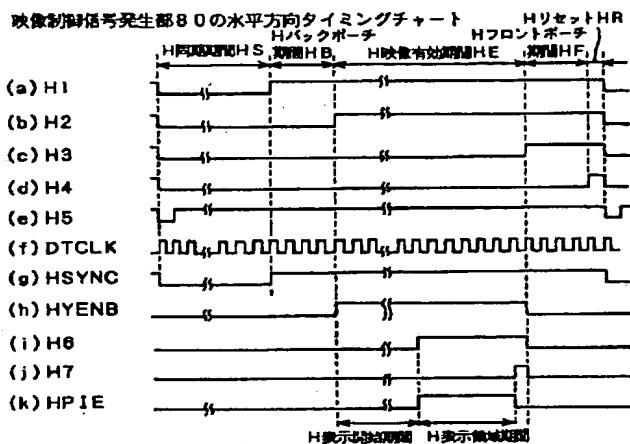
【図1】



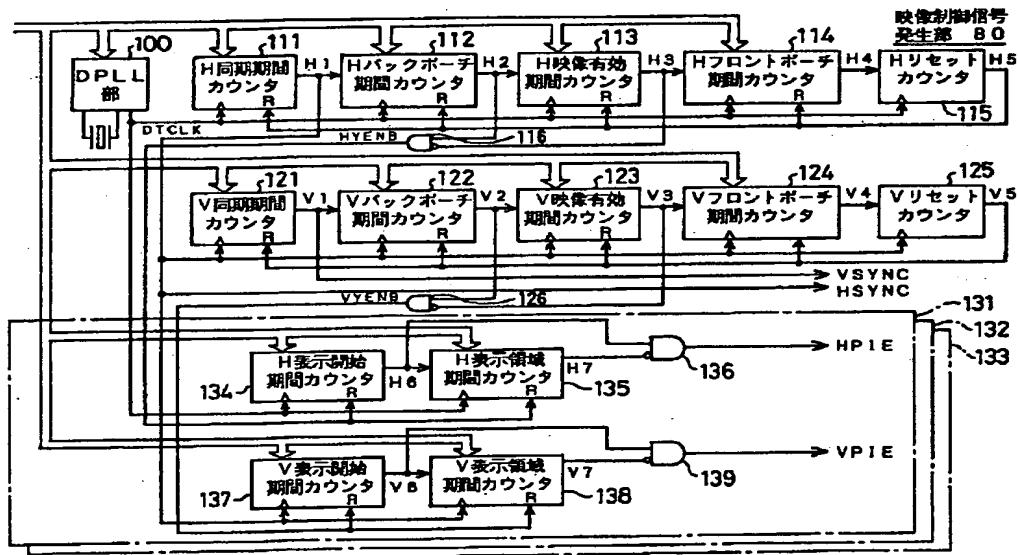
【図4】



【図6】

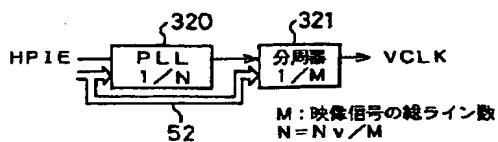


【図5】

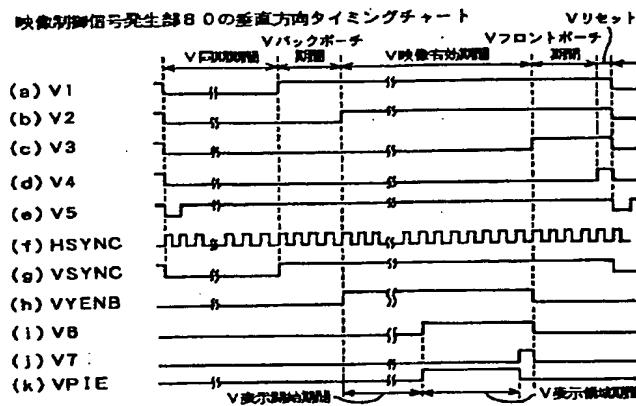


【図33】

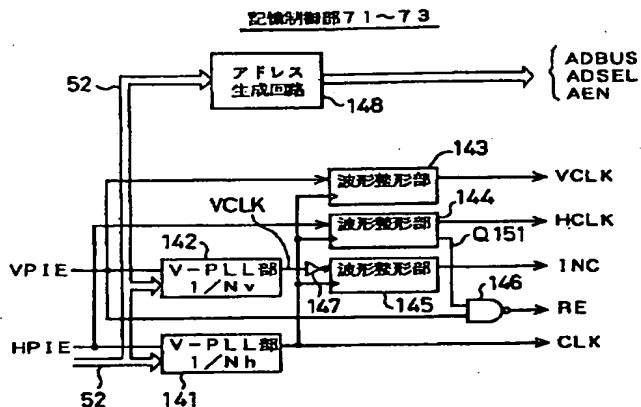
V-PLL部 142a



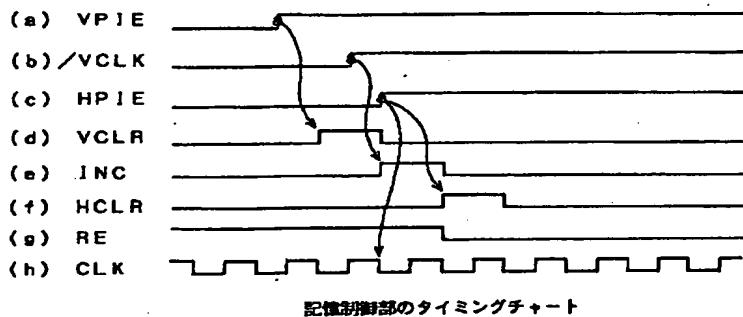
【図7】



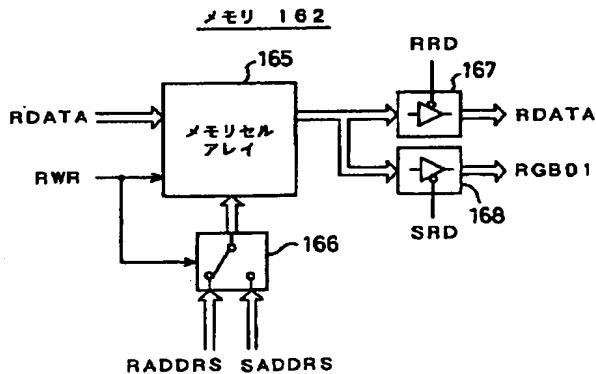
【図8】



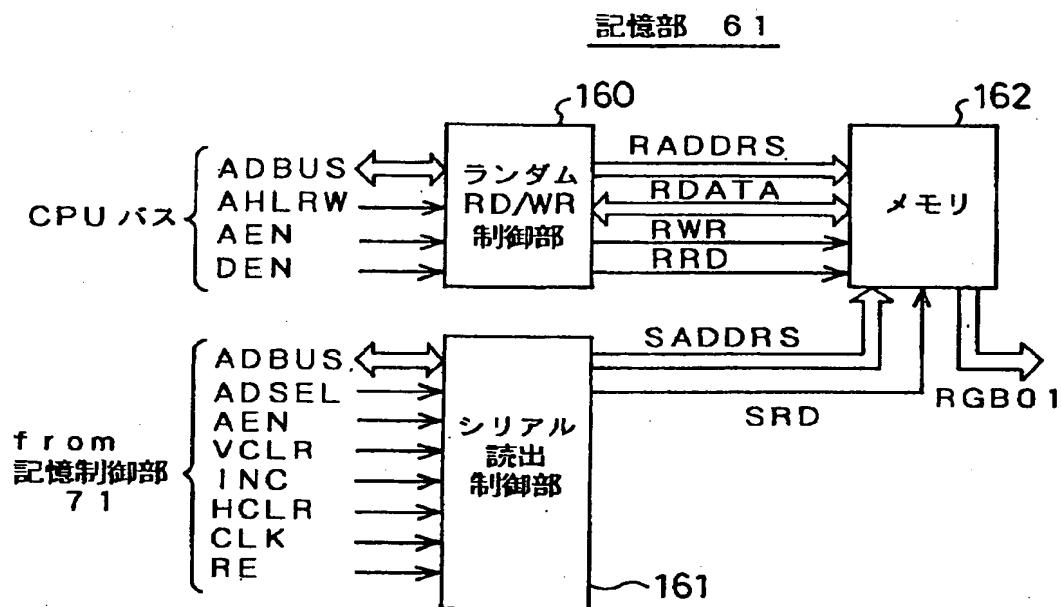
【図9】



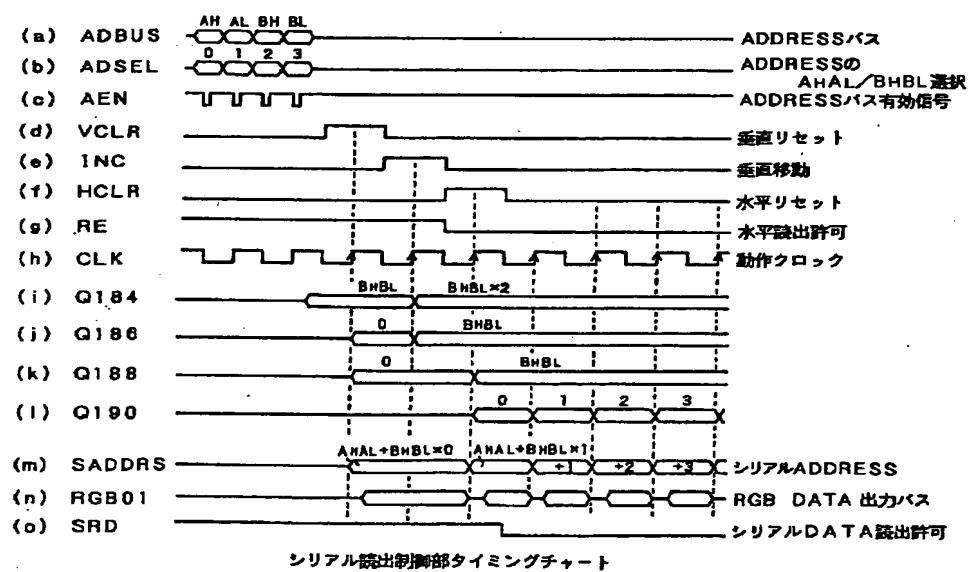
【図13】



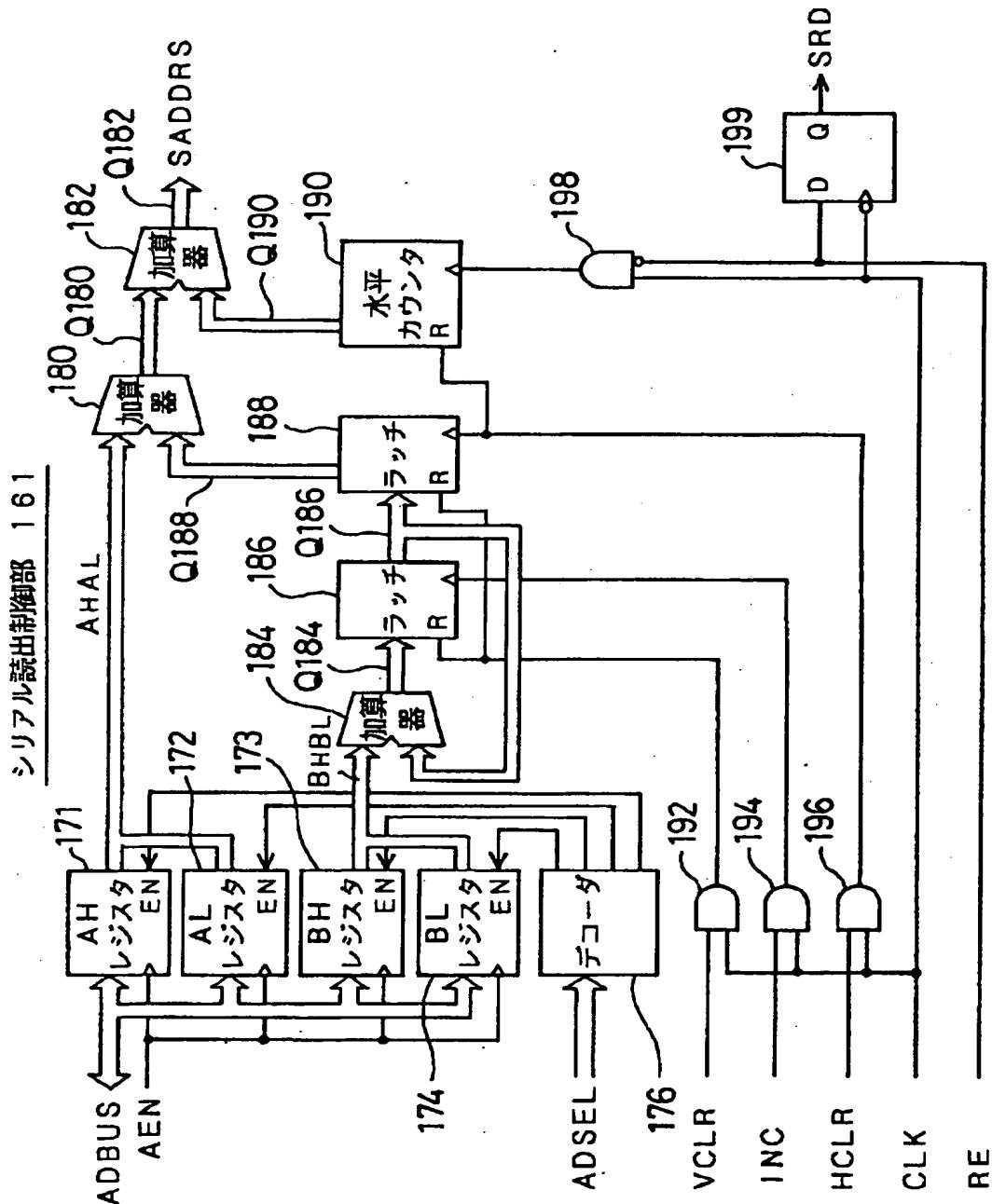
【図12】



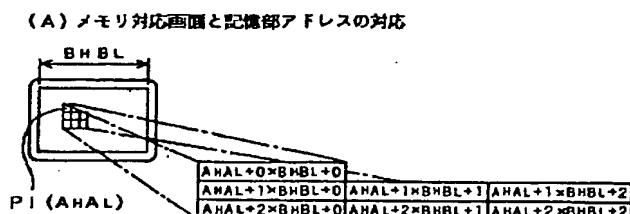
【図15】



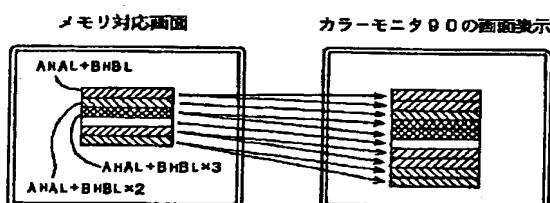
【図14】



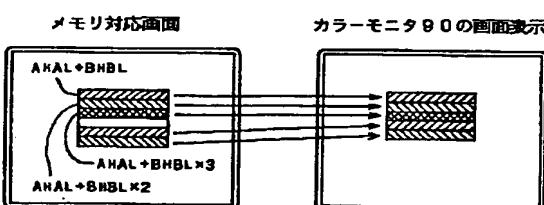
【図16】



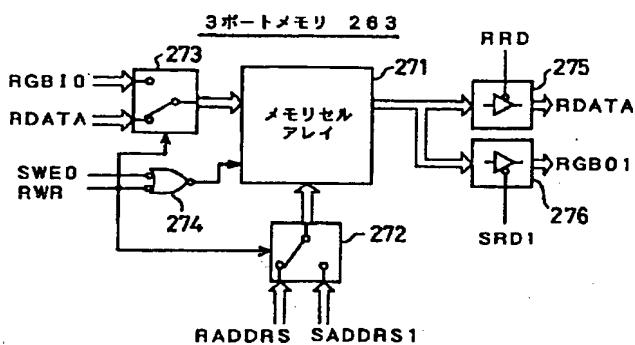
(B) 垂直方向擴大時



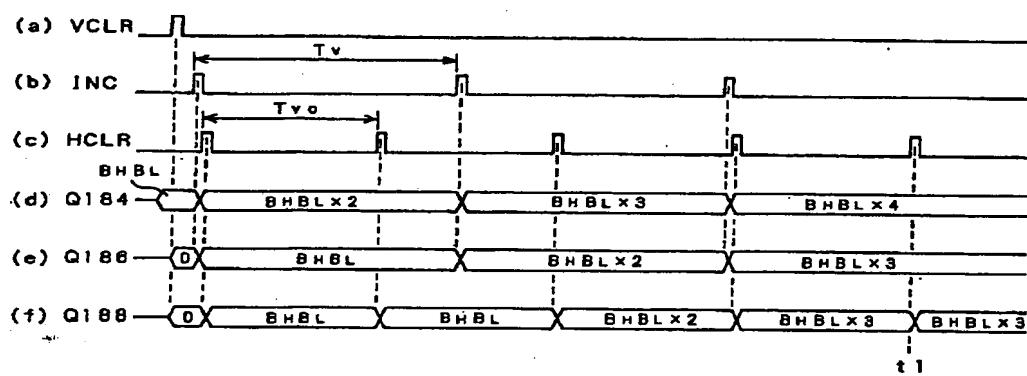
(C) 看直方向每小時



【図29】

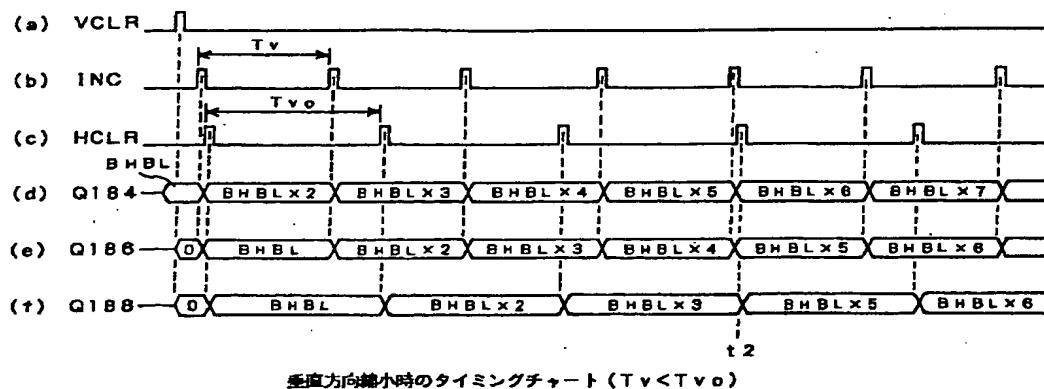


【図17】



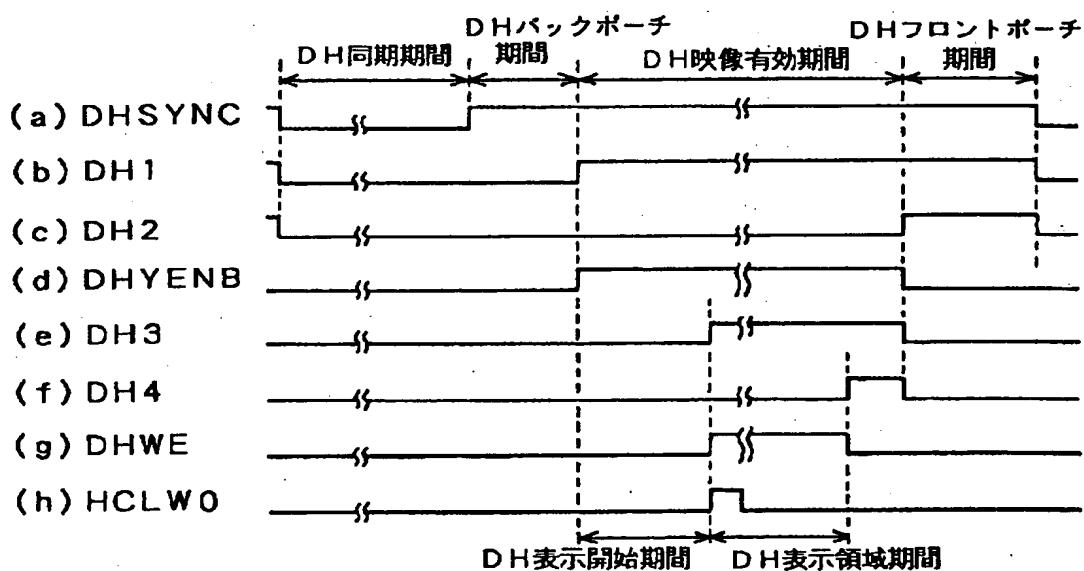
垂直方向拡大時のタイミングチャート ($T_v > T_{v0}$)

【図18】

垂直方向縦小時のタイミングチャート ($T_v < T_{v o}$)

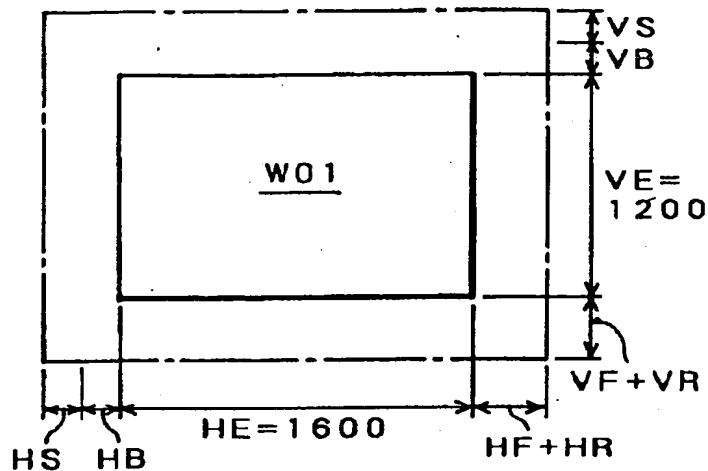
【図26】

動画書込制御部74の水平方向タイミングチャート



【図19】

(A) 基本の第1の映像のみ表示



(B)

	設定値	第1の映像 領域 W01	第2の映像 領域 W02
記憶制御部 71, 72 (図1, 図8)	H-PLL部141の 設定値 N_h	N_{h0}^* 1	
	クロック信号 CLK_i の 周波数 f_h	$f_{h0} =$ 100MHz	
	V-PLL部142の 設定値 N_v	N_{v0}^* 2	
	垂直インクリメント信号 INC_i の周波数 f_v	$f_{v0} =$ 80kHz	
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 K_{h1}	0	
	水平表示領域期間カウンタ135 の設定値 K_{h2}	1600	
	垂直表示開始期間カウンタ137 の設定値 K_{v1}	0	
	垂直表示領域期間カウンタ138 の設定値 K_{v2}	1200	

*1)

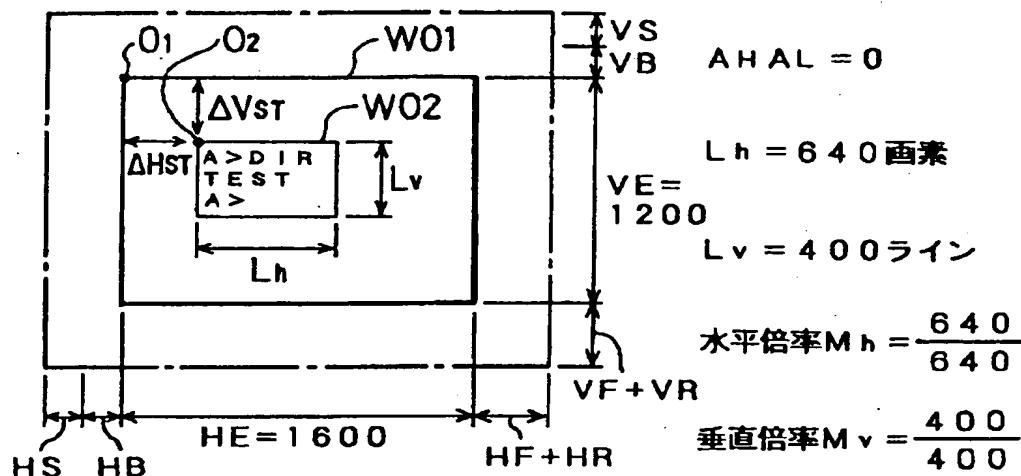
$$N_{h0} = 1600 + HS + HB + HF + HR$$

*2)

$$N_{v0} = 1200 + VS + VB + VF + VR$$

[図20]

(A) 拡大縮小なし、第2の映像記憶部62の画面の全部表示



(B)

	設定値	第1の映像 領域 W01	第2の映像 領域 W02
記憶制御部 71, 72 (図1, 図8)	H-PLL部141の 設定値 Nh	Nh0 *1	INT(Nh0 x $\frac{640}{640}$)
	クロック信号CLKiの 周波数 fh	fh0 = 100MHz	fh0 x $\frac{640}{640}$
	V-PLL部142の 設定値 Nv	Nv0 *2	INT(Nv0 x $\frac{400}{400}$)
	垂直インクリメント信号INCi の周波数 fv	fv0 = 80kHz	fv0 x $\frac{400}{400}$
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 Kh1	0	$\Delta H ST$
	水平表示領域期間カウンタ135 の設定値 Kh2	1600	640
	垂直表示開始期間カウンタ137 の設定値 Kv1	0	$\Delta V ST$
	垂直表示領域期間カウンタ138 の設定値 Kv2	1200	400

* 13

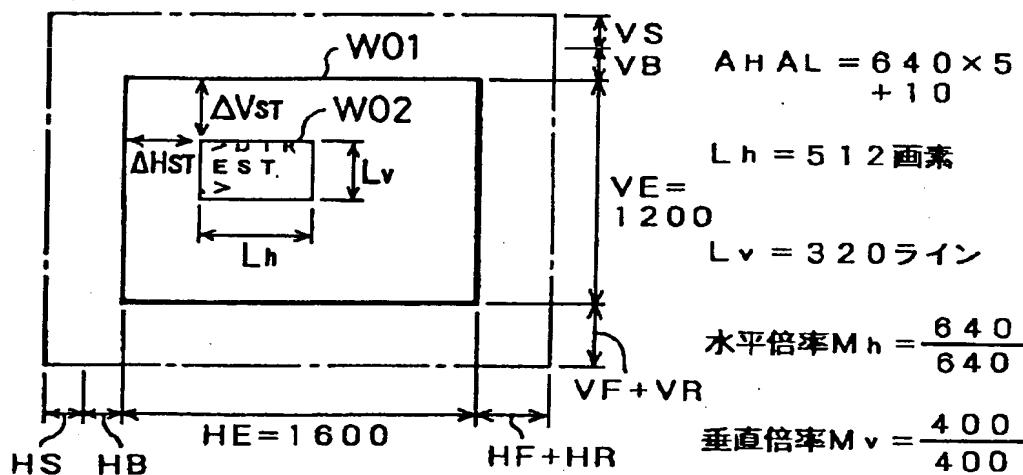
$$N_{no} = 1600 + HS + HB + HF + HR \quad N_{yo} = 1200 + VS + VB + VE + VR$$

*2)

$$N_{\text{A8}} = 1888 + \text{HS} + \text{HB} + \text{HF} + \text{HK} \quad N_{\text{V8}} = 1208 + \text{VS} + \text{VB} + \text{VF} + \text{VK}$$

【図21】

(A) 拡大縮小なし、第2の映像記憶部62の画面の一部のみ表示。
始点アドレス変更



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 71, 72 (図1, 図8)	H-PLL部141の 設定値 N _h	N _{h0} *1	INT(N _{h0} × 640 / 640)
	クロック信号CLKiの 周波数 f _h	f _{h0} = 100MHz	f _{h0} × 640 / 640
	V-PLL部142の 設定値 N _v	N _{v0} *2	INT(N _{v0} × 400 / 400)
	垂直インクリメント信号INCi の周波数 f _v	f _{v0} = 80kHz	f _{v0} × 400 / 400
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 K _{h1}	0	ΔHST
	水平表示領域期間カウンタ135 の設定値 K _{h2}	1600	512
	垂直表示開始期間カウンタ137 の設定値 K _{v1}	0	ΔVST
	垂直表示領域期間カウンタ138 の設定値 K _{v2}	1200	320

*1)

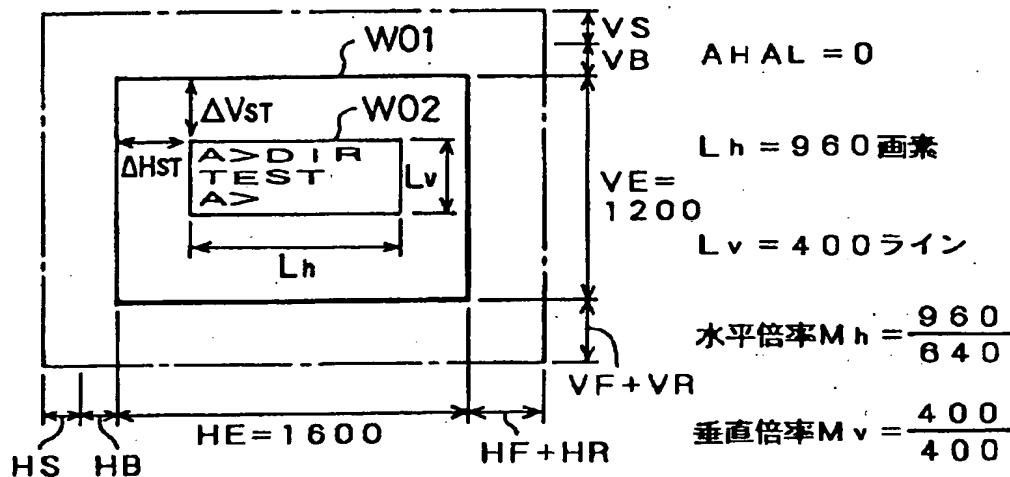
$$N_{h0} = 1600 + HS + HB + HF + HR$$

*2)

$$N_{v0} = 1200 + VS + VB + VF + VR$$

【図2】

(A) 水平方向のみ拡大、第2の映像記憶部62の画面の全部表示



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 71, 72 (図1. 図8)	H-PLL部141の 設定値 Nh	Nh0 *1	INT(Nh0 × $\frac{640}{960}$)
	クロック信号CLKiの 周波数 fh	fh0 = 100MHz	fh0 × $\frac{640}{960}$
	V-PLL部142の 設定値 Nv	Nv0 *2	INT(Nv0 × $\frac{400}{400}$)
	垂直インクリメント信号INCi の周波数 fv	fv0 = 80kHz	fv0 × $\frac{400}{400}$
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 Kh1	0	ΔHST
	水平表示領域期間カウンタ135 の設定値 Kh2	1600	960
	垂直表示開始期間カウンタ137 の設定値 Kv1	0	ΔVST
	垂直表示領域期間カウンタ138 の設定値 Kv2	1200	400

*1)

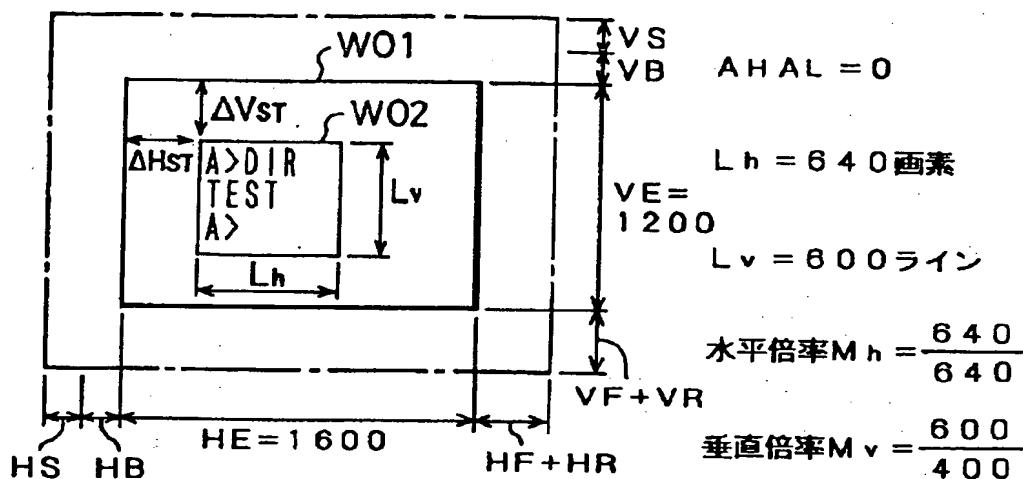
$$N_{h0} = 1600 + HS + HB + HF + HR$$

*2)

$$N_{v0} = 1200 + VS + VB + VF + VR$$

【図23】

(A) 垂直方向のみ拡大、第2の映像記憶部62の画面の全部表示



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 71, 72 (図1, 図8)	H-PLL部141の 設定値 N_h	$N_{h0} * 1$	$INT(N_{h0} \times \frac{640}{640})$
	クロック信号CLKiの 周波数 f_h	$f_{h0} = 100MHz$	$f_{h0} \times \frac{640}{640}$
	V-PLL部142の 設定値 N_v	$N_{v0} * 2$	$INT(N_{v0} \times \frac{400}{600})$
	垂直インクリメント信号INCi の周波数 f_v	$f_{v0} = 80kHz$	$f_{v0} \times \frac{400}{600}$
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 K_{h1}	0	$\Delta H ST$
	水平表示領域期間カウンタ135 の設定値 K_{h2}	1600	640
	垂直表示開始期間カウンタ137 の設定値 K_{v1}	0	$\Delta V ST$
	垂直表示領域期間カウンタ138 の設定値 K_{v2}	1200	600

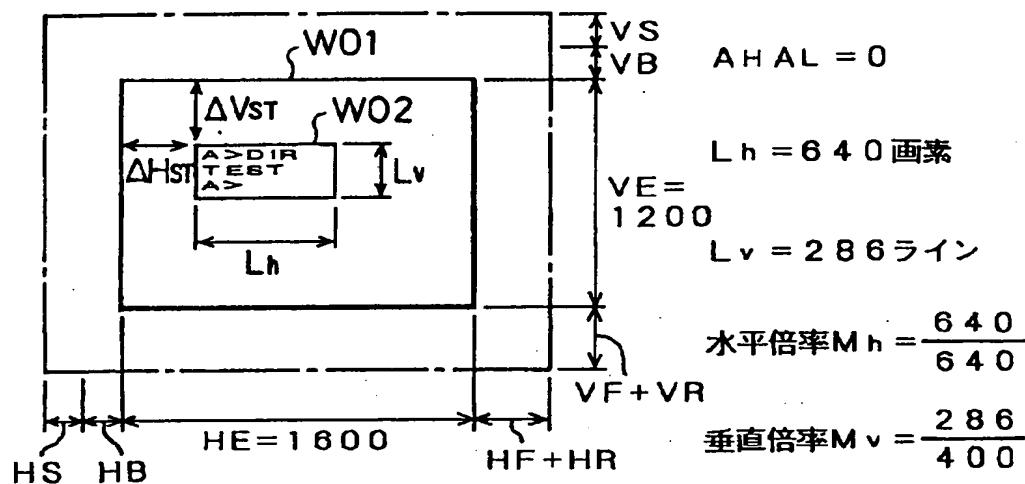
*1)

$$N_{h0} = 1600 + HS + HB + HF + HR \quad N_{v0} = 1200 + VS + VB + VF + VR$$

*2)

[図24]

(A) 垂直方向のみ縮小、第2の映像領域の画面の全部表示

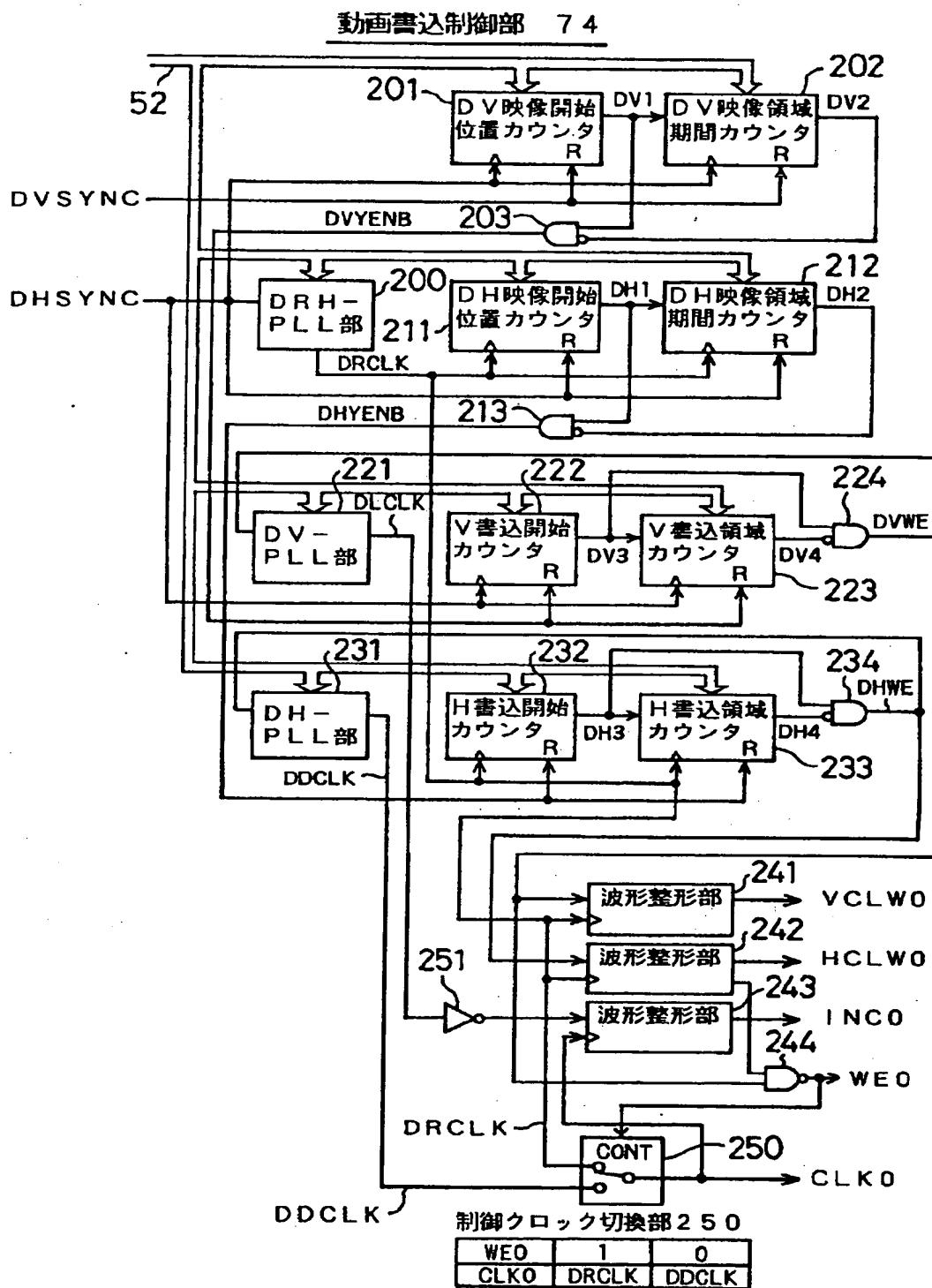


(B)

	設定値	第1の映像 領域 W01	第2の映像 領域 W02
記憶制御部 71, 72 (図1, 図8)	H-PLL部141の 設定値 N_h	$N_h \times 1$	$INT(N_h \times \frac{640}{640})$
	クロック信号CLKiの 周波数 f_h	$f_h = 100\text{MHz}$	$f_h \times \frac{640}{640}$
	V-PLL部142の 設定値 N_v	$N_v \times 2$	$INT(N_v \times \frac{400}{286})$
	垂直インクリメント信号INCi の周波数 f_v	$f_v = 80\text{kHz}$	$f_v \times \frac{400}{286}$
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 K_h1	0	ΔH_{ST}
	水平表示領域期間カウンタ135 の設定値 K_h2	1600	640
	垂直表示開始期間カウンタ137 の設定値 K_v1	0	ΔV_{ST}
	垂直表示領域期間カウンタ138 の設定値 K_v2	1200	286

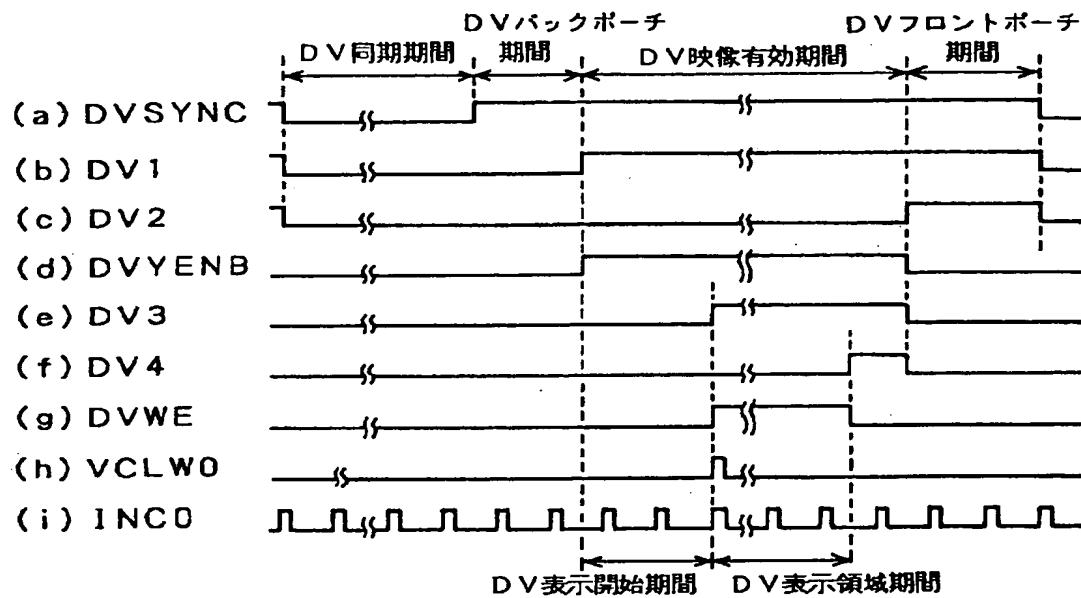
$$N_{h0} = 1600 + HS + HB + HF + HR \quad N_{v0} = 1200 + VS + VB + VF + VR$$

【図25】



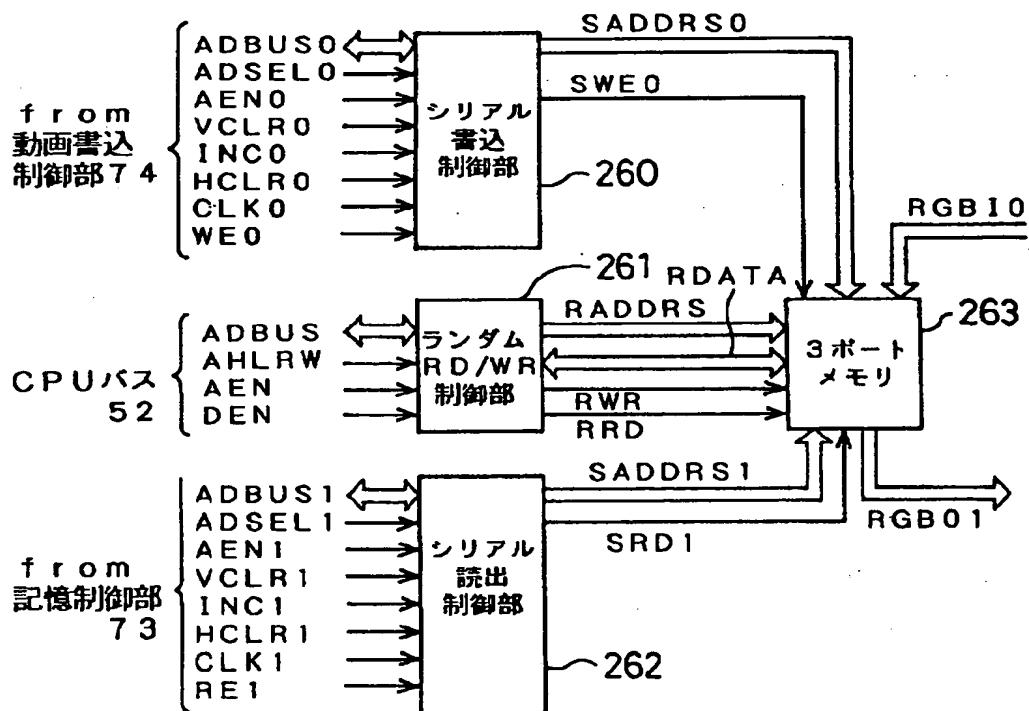
【図27】

動画書き込み制御部74の垂直方向タイミングチャート

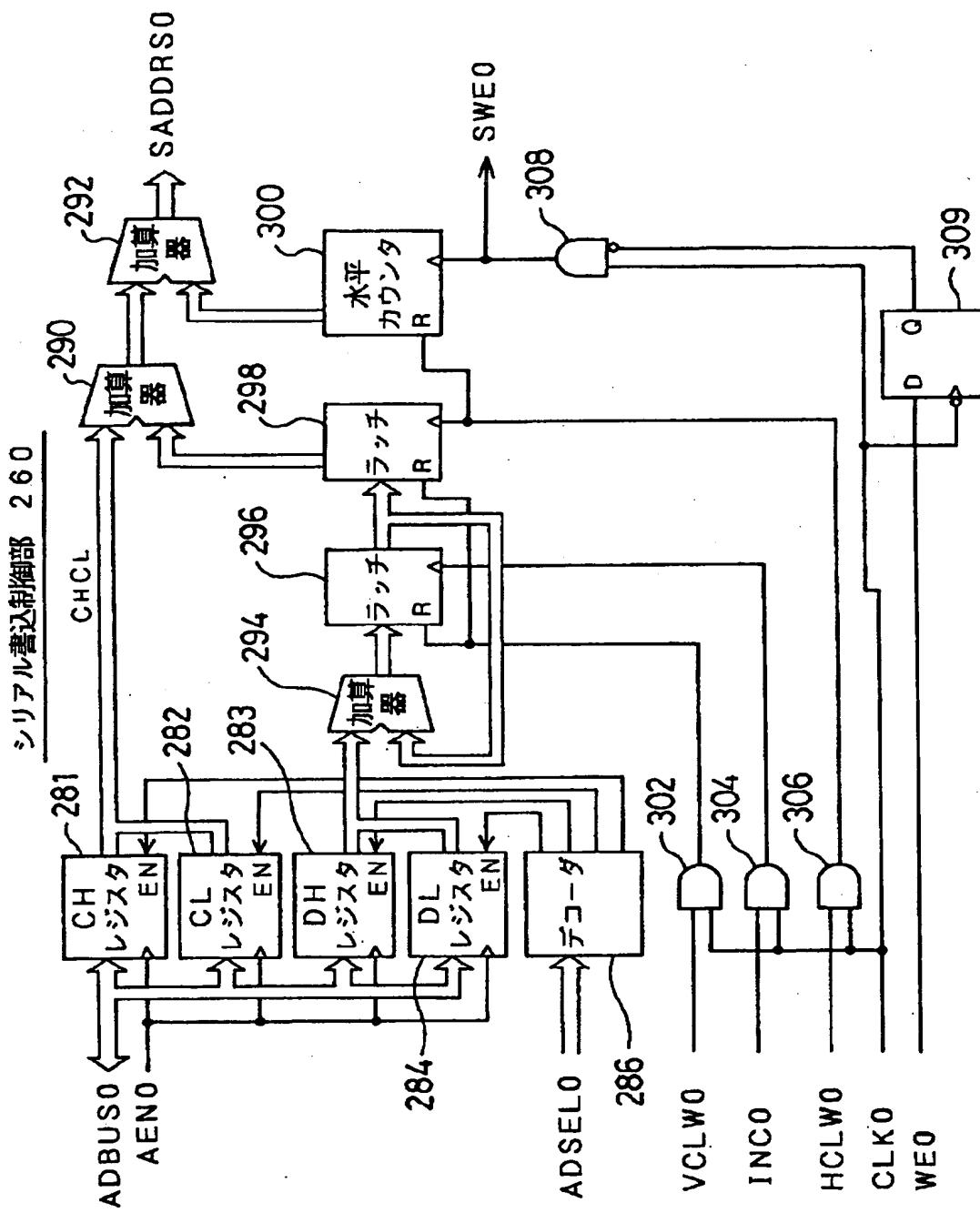


【図28】

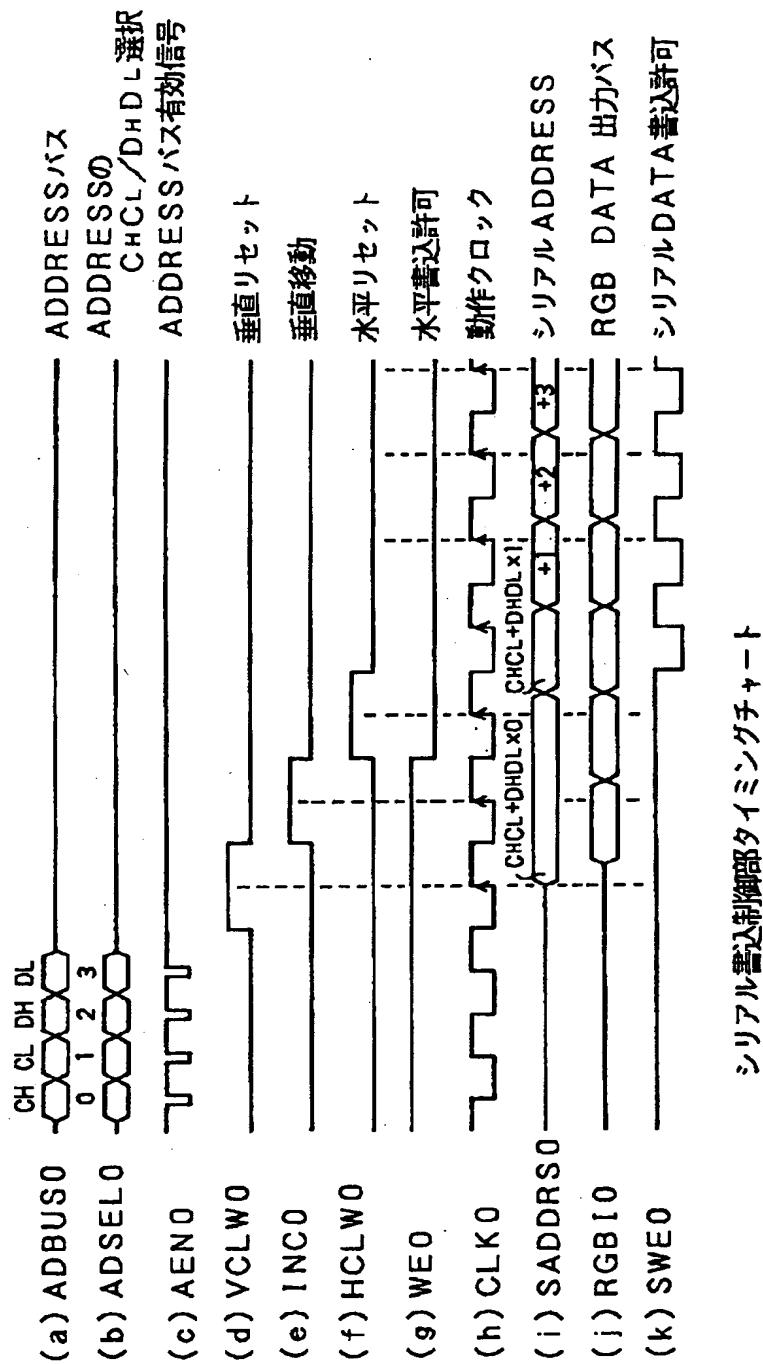
3ポート記憶部 63



【図30】

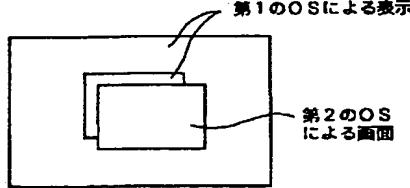


【図31】

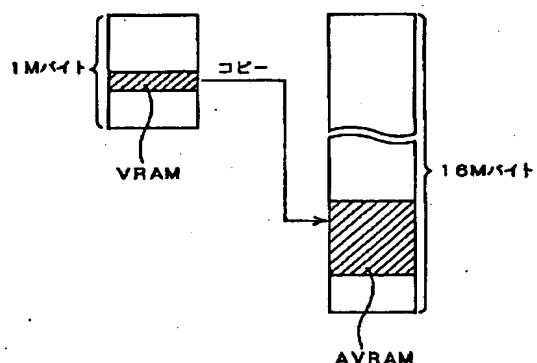


【図34】

(A) 表示画面



(B) 第2のOSのアドレス空間



(C) 第1のOSのアドレス空間

フロントページの続き

(51) Int.Cl. 6

G 0 9 G 5/36
H 0 4 N 5/265
5/45
5/937

識別記号 庁内整理番号

5 3 0 F 9471-5G

F I

技術表示箇所